

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-26153

(P2002-26153A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl.	識別記号	F I	テマコト* (参考)	
H 0 1 L	21/8247	H 0 1 L 27/10	4 3 4	5 F 0 0 1
	27/115	29/78	3 7 1	5 F 0 8 3
	29/788			
	29/792			

審査請求 未請求 請求項の数16 O L (全 35 頁)

(21) 出願番号 特願2000-208341(P2000-208341)

(22) 出願日 平成12年7月10日 (2000.7.10)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 野口 充宏

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 作井 康司

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

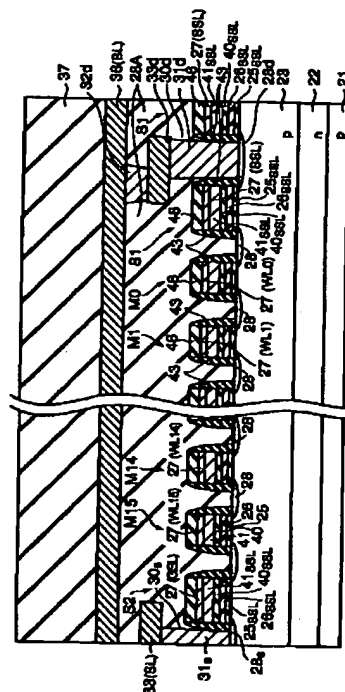
最終頁に続く

(54) 【発明の名称】 半導体メモリ

(57) 【要約】

【課題】 選択ゲートを持つセルアレイに関し、高密度セル配置を実現する。

【解決手段】 セレクトゲートトランジスタS1、S2は、電荷蓄積層26SSL、26GSLを有し、セレクトゲートトランジスタS1、S2の構造は、メモリセルM0、M1、・・・M15の構造と同じになっている。セレクトゲート線27(SSL)、27(GSL)が配置される配線層は、コントロールゲート線WL0、WL1、・・・WL15が配置される配線層と同じである。電荷蓄積層26SSL、26GSLは、例えば、シリコン窒化膜から構成される。セレクトゲートトランジスタS1、S2の閾値設定に関しては、消去/書き込み時に、電荷蓄積層26SSL、26GSL内の電荷量が飽和状態になることを利用し、セレクトゲートトランジスタS1、S2の閾値分布を狭い範囲に収める。



【特許請求の範囲】

【請求項1】 半導体領域上に形成され、第1ノードと第2ノードの間に直列又は並列に接続される複数のメモリセルと、前記第1ノードと第3ノードとの間に接続される選択スイッチング素子とを具備し、前記複数のメモリセルと前記選択スイッチング素子は、共に、電荷蓄積層を有し、前記複数のメモリセルの電荷蓄積層の材料及び厚さと前記選択スイッチング素子の電荷蓄積層の材料及び厚とは、実質的に同じであることを特徴とする半導体メモリ。

【請求項2】 前記複数のメモリセルの各々は、コントロールゲート電極を有し、前記選択スイッチング素子は、前記コントロールゲート電極と同じ構造を有するセレクトゲート電極を有し、前記コントロールゲート電極が配置される配線層と前記セレクトゲート電極が配置される配線層は、同じであることを特徴とする請求項1記載の半導体メモリ。

【請求項3】 前記複数のメモリセルの電荷蓄積層及び前記選択スイッチング素子の電荷蓄積層は、互いに分離され、前記電荷蓄積層は、不純物を含むSi、SiGe及びGeを含む導電体、並びに、SiN、チタンオキサイド、タンタルオキサイド又はアルミナを含む絶縁体のうちから選択される1つから構成されることを特徴とする請求項1記載の半導体メモリ。

【請求項4】 前記複数のメモリセルの電荷蓄積層及び前記選択スイッチング素子の電荷蓄積層は、互いに一体化され、前記電荷蓄積層は、SiN、チタンオキサイド、タンタルオキサイド又はアルミナを含む絶縁体のうちから選択される1つから構成されることを特徴とする請求項1記載の半導体メモリ。

【請求項5】 前記複数のメモリセルと前記選択スイッチング素子が配置される素子領域を取り囲む素子分離絶縁膜を具備し、前記複数のメモリセルの電荷蓄積層及び前記選択スイッチング素子の電荷蓄積層は、前記素子領域上のみに配置されることを特徴とする請求項3又は4記載の半導体メモリ。

【請求項6】 前記複数のメモリセルと前記選択スイッチング素子が配置される素子領域を取り囲む素子分離絶縁膜を具備し、前記複数のメモリセルの電荷蓄積層及び前記選択スイッチング素子の電荷蓄積層は、前記素子領域上及び前記素子分離絶縁膜上に配置されることを特徴とする請求項4記載の半導体メモリ。

【請求項7】 前記複数のメモリセル及び前記選択スイッチング素子は、共に、前記半導体領域と前記電荷蓄積層の間に絶縁膜を有し、前記選択スイッチング素子の絶縁膜の厚さは、前記複数のメモリセルの絶縁膜の厚さよりも厚いことを特徴とする請求項3又は4記載の半導体メモリ。

【請求項8】 前記選択スイッチング素子は、セレクトゲート電極と、前記セレクトゲート電極と前記選択スイ

ッチング素子の電荷蓄積層との間に配置される絶縁膜とを有し、前記選択スイッチング素子に対する書き込み又は消去時に、前記絶縁膜に流れる電流は、前記半導体領域と前記選択スイッチング素子の電荷蓄積層との間に流れる電流以上となることを特徴とする請求項1記載の半導体メモリ。

【請求項9】 前記選択スイッチング素子の閾値は、消去動作において、一定値に収束する方向に変化することを特徴とする請求項1記載の半導体メモリ。

10 【請求項10】 前記選択スイッチング素子の閾値は、書き込み動作において、一定値に収束する方向に変化することを特徴とする請求項1記載の半導体メモリ。

【請求項11】 前記複数のメモリセル及び前記選択スイッチング素子は、共に、第1導電型ウェル領域内に配置される第2導電型電界効果トランジスタから構成されることを特徴とする請求項1記載の半導体メモリ。

20 【請求項12】 前記選択スイッチング素子は、前記選択スイッチング素子の電荷蓄積層上に絶縁膜を介して配置されるセレクトゲート電極を有し、前記半導体領域の電位は、前記セレクトゲート電極の電位に対して正方向に設定されることを特徴とする請求項1記載の半導体メモリ。

【請求項13】 前記複数のメモリセル及び前記選択スイッチング素子は、それぞれ前記電荷蓄積層上に絶縁膜を介して配置されるゲート電極を有し、前記複数のメモリセルのゲート電極及び前記選択スイッチング素子のゲート電極は、共に、一方向に延び、かつ、前記第3ノードに接続されるデータ転送線に直交していることを特徴とする請求項1記載の半導体メモリ。

30 【請求項14】 電荷蓄積層を有する選択スイッチング素子及び電荷蓄積層を有するメモリセルから構成されるセルユニットを有する半導体メモリの閾値設定方法において、消去動作により、前記選択スイッチング素子の閾値及び前記メモリセルの閾値を共に負にする工程と、書き込み動作により、前記選択スイッチング素子の閾値を正にする工程と、前記選択スイッチング素子の閾値が正になったか否かを検証し、前記選択スイッチング素子の閾値が正になっていない場合には、再書き込み動作を行う工程と、前記選択スイッチング素子の閾値を正にした後、前記選択スイッチング素子の閾値を設定範囲内に収めるための書き込み動作を行う工程と、前記選択スイッチング素子の閾値が前記設定範囲内に収まったか否かを検証し、前記選択スイッチング素子の閾値が前記設定範囲内に収まっていない場合には、前記再書き込みを行う工程とを具備することを特徴とする半導体メモリの閾値設定方法。

50 【請求項15】 前記選択スイッチング素子の閾値は、前記消去動作において第1の値よりも小さくなることはなく、かつ、前記書き込み動作において第2の値よりも大きくなることはないことを特徴とする請求項14記載

の半導体メモリの閾値設定方法。

【請求項16】 前記再書き込みにより、前記選択スイッチング素子の閾値は、前記第2の値に収束することを特徴とする請求項15記載の半導体メモリの閾値設定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高密度なセル配置を可能とした半導体メモリに関する。

【0002】

【従来の技術】デジタルビットデータがフローティングゲート電極内の電荷量として格納される不揮発性半導体メモリ（EEPROM）は、よく知られている。

【0003】メモリセルに記憶されたデジタルビットデータは、フローティングゲート電極内の電荷量をメモリセル（MOSFET）のコンダクタンスの変化量として測定することにより、メモリセルから読み出すことができる。

【0004】ところで、現在、研究開発が進められている不揮発性半導体メモリのうち、NAND型EEPROMやAND型EEPROMは、セレクトゲートトランジスタ数（選択スイッチング素子数）をメモリセル数よりも大幅に減らすことができるため、メモリセルの高密度化に適したメモリということができる。

【0005】NAND型EEPROMは、周知のように、複数のメモリセルを直列接続したセルユニットを備えることによりメモリセルの高密度化を実現する。また、AND型EEPROMは、周知のように、複数のメモリセルを並列接続したセルユニットを備えることによりメモリセルの高密度化を実現する。

【0006】しかし、従来のNAND型EEPROMやAND型EEPROMでは、セレクトゲートトランジスタ（選択スイッチング素子）のセレクトゲート線の低抵抗化を図るため、セレクトゲート線が配置される配線層よりも上の配線層に、セレクトゲート線よりも低抵抗な配線（いわゆる裏打ち配線）を配置し、一定間隔で、セレクトゲート線と裏打ち配線とのコンタクト領域（いわゆるシャント領域）を設けていた。

【0007】従って、従来では、このような裏打ち配線やシャント領域のために、メモリセルアレイ領域が拡大し、チップ面積を小さくすることが困難であった。

【0008】以下、この問題について、詳細に説明する。図31は、従来のNAND型EEPROMのセルユニットの等価回路を示している。また、図32は、従来のAND型EEPROMのセルユニットの等価回路を示している。

【0009】図31に示すように、NAND型EEPROMのセルユニット45は、直列接続された複数の（本例では、16個）のメモリセルM0、M1、・・・M15からなるNANDストリングと、このNANDストリ

ングの両端にそれぞれ1個ずつ接続された2個のセレクトゲートトランジスタS1、S2から構成される。

【0010】また、図32に示すように、AND型EEPROMのセルユニット45は、2つのノードA、Bの間に並列接続された複数の（本例では、16個）のメモリセルM0、M1、・・・M15と、2つのノードA、Bにそれぞれ1個ずつ接続された2個のセレクトゲートトランジスタS1、S2から構成される。

【0011】図31及び図32に示すいずれのセルユニット45においても、セルユニット45内には、複数の（本例では、16本）のコントロールゲート線（データ選択線）WL0、WL1、・・・WL15が接続され、かつ、1本以上（本例では、2本）のセレクトゲート線（ブロック選択線）SSL、GSLが接続される。なお、セルユニット45に接続されるセレクトゲート線は、少なくとも1本存在すればよく、また、メモリセルの高密度化のためには、コントロールゲート線WL0、WL1、・・・WL15が延びる方向（ロウ方向）と同一方向に延びていることが望ましい。

【0012】ビット線（データ転送線）BLは、コントロールゲート線（データ選択線）WL0、WL1、・・・WL15が延びる方向に直交する方向（カラム方向）に延びている。そして、メモリセルM0、M1、・・・M15は、ビット線BLとコントロールゲート線（データ選択線）WL0、WL1、・・・WL15の交点にそれぞれ配置され、それぞれ独立にデジタルビットデータの書き込み及び読み出しが可能になっている。

【0013】ここで、メモリセルは、例えば、フローティングゲート電極（電荷蓄積層）を有し、フローティングゲート電極内の電荷量によりデジタルビットデータの値が決定される。セルユニットは、ロウ方向及びカラム方向にそれぞれ複数の配置され、これにより、メモリセルマトリックスが構成される。なお、ロウ方向に配置される複数のセルユニットの集合は、ブロックと呼ばれている。

【0014】メモリセルが高密度化された大規模メモリにおいては、配線は、細く、かつ、長くなるため、その抵抗値を下げる 것이重要となる。特に、コントロールゲート線（データ選択線）WL0、WL1、・・・WL15は、チップ内で最も細い配線であるため、その抵抗値を下げる種々の技術が検討されている。

【0015】例えば、コントロールゲート線WL0、WL1、・・・WL15を不純物を含んだ導電性ポリシリコンと低抵抗材料の積層構造とする技術は、よく知られている。なお、低抵抗材料としては、例えば、WSi、CoSi、NiSi、TiSiなどの金属シリサイドや、Ta、Wなどの金属が用いられている。

【0016】ところで、通常、セレクトゲートトランジスタのセレクトゲート線SSL、GSLは、メモリセルのコントロールゲート線WL0、WL1、・・・WL1

10

20

30

40

50

5が配置される配線層とは異なる配線層に配置される。

【0017】この場合、例えば、セレクトゲート線SSL、GSLを不純物を含んだ導電性ポリシリコンと低抵抗材料の積層構造とすることにより、セレクトゲート線SSL、GSLの低抵抗化を実現することができる。しかし、セレクトゲート線SSL、GSLが配置される配線層とコントロールゲート線WLO、WL1、・・・WL15が配置される配線層が互いに異なるため、セレクトゲートトランジスタ側とメモリセル側で、それぞれ別々にフォトリソグラフィ及び加工(RIE)が必要になる。

【0018】従って、セレクトゲート線SSL、GSLとコントロールゲート線WLO、WL1、・・・WL15の合せずれの問題が生じ、その結果、この合せずれを考慮したマージンを確保しなければならないため、このマージン分だけチップ面積が大きくなってしまふ。

【0019】一方、セレクトゲートトランジスタのセレクトゲート線SSL、GSLを、メモリセルのフローティングゲート電極(電荷蓄積層)が配置される配線層と同じ配線層に配置し、上述の合せずれに起因するチップ面積の増大の問題を回避することもできる。

【0020】即ち、セレクトゲート線SSL、GSLとフローティングゲート電極(電荷蓄積層)を、共に、同じ配線層に配置し、かつ、共に、不純物を含んだ導電性ポリシリコンと低抵抗材料(金属シリサイドや金属など)の積層構造とすれば、セレクトゲート線SSL、GSLの低抵抗化を実現できると共に、セレクトゲートトランジスタ側とメモリセル側で、フォトリソグラフィ及び加工(RIE)を共通化できるため、チップ面積の増大の問題も回避できる。

【0021】しかし、この場合、メモリセルのコントロールゲート電極とフローティングゲート電極の間の絶縁膜の耐圧の問題が発生する。

【0022】即ち、メモリセルのコントロールゲート電極とフローティングゲート電極の間の絶縁膜の耐圧は、フローティングゲート電極内に、W、Ni、Tiなどの金属原子が混入すると、大きく劣化することが知られている。このため、フローティングゲート電極を不純物を含んだ導電性ポリシリコンと低抵抗材料(金属シリサイドや金属など)の積層構造とすると、メモリセルのコントロールゲート電極とフローティングゲート電極の間の絶縁膜の耐圧が劣化し、メモリの安定動作を確保できなくなる。

【0023】結局、セレクトゲート線SSL、GSLとフローティングゲート電極(電荷蓄積層)を、同じ配線層に配置する場合には、セレクトゲート線SSL、GSL及びフローティングゲート電極は、共に、P、As又はBがドーパされた導電性ポリシリコンを用いる必要があり、金属や金属シリサイドを用いた配線よりも高抵抗となってしまう。

【0024】そこで、セレクトゲート線SSL、GSLとフローティングゲート電極を同じ配線層に配置する場合には、上述のように、セレクトゲート線SSL、GSLが配置される配線層よりも上の配線層にいわゆる裏打ち配線を配置し、例えば、10~1000セルユニットごとに、セレクトゲート線SSL、GSLと裏打ち配線を互いにコンタクトさせる技術が適用される(stitch配線技術)。

【0025】しかし、この技術では、セレクトゲート線と裏打ち配線のコンタクト領域(シャント領域)が必要になるため、そのコンタクト領域分だけ、チップ面積が増大するという問題が生じる。

【0026】

【発明が解決しようとする課題】以上、述べたように、従来、直列又は並列接続された複数のメモリセルからなるセルユニットを有する半導体メモリでは、メモリセル側とセレクトゲートトランジスタ側でフォトリソグラフィや加工を別々に行ったり、また、セレクトゲート線とその上の裏打ち配線とのコンタクト領域を設ける必要があったため、チップ面積が大きくなるという問題があった。

【0027】本発明は、上記の問題を解決すべくなされたもので、その目的は、セレクトゲート線とコントロールゲート線を、同一の配線層に配置し、かつ、共に、導電性ポリシリコンと低抵抗材料の積層構造にすることにより、高密度なセル配置とセレクトゲート線及びコントロールゲート線の低抵抗化を実現すること、さらには、メモリセル側とセレクトゲートトランジスタ側でフォトリソグラフィや加工を別々に行う必要がなく、裏打ち配線も不要なデバイス構造及びメモリセルレイアウトを提案することにある。

【0028】

【課題を解決するための手段】本発明の半導体メモリは、半導体領域上に形成され、第1ノードと第2ノードの間に直列又は並列に接続される複数のメモリセルと、前記第1ノードと第3ノードとの間に接続される選択スイッチング素子とを備え、前記複数のメモリセルと前記選択スイッチング素子は、共に、電荷蓄積層を有し、前記複数のメモリセルの電荷蓄積層の材料及び厚さと前記選択スイッチング素子の電荷蓄積層の材料及び厚さとは、実質的に同じである。

【0029】前記複数のメモリセルの各々は、コントロールゲート電極を有し、前記選択スイッチング素子は、前記コントロールゲート電極と同じ構造を有するセレクトゲート電極を有し、前記コントロールゲート電極が配置される配線層と前記セレクトゲート電極が配置される配線層は、同じである。

【0030】前記複数のメモリセルの電荷蓄積層及び前記選択スイッチング素子の電荷蓄積層は、互いに分離され、前記電荷蓄積層は、不純物を含むSi、SiGe

及びGeを含む導電体、並びに、SiN、チタンオキサイド、タンタルオキサイド又はアルミナを含む絶縁体のうちから選択される1つから構成される。

【0031】前記複数個のメモリセルの電荷蓄積層及び前記選択スイッチング素子の電荷蓄積層は、互いに一体化され、前記電荷蓄積層は、SiN、チタンオキサイド、タンタルオキサイド又はアルミナを含む絶縁体のうちから選択される1つから構成される。

【0032】前記複数個のメモリセルと前記選択スイッチング素子が配置される素子領域を取り囲む素子分離絶縁膜を具備し、前記複数個のメモリセルの電荷蓄積層及び前記選択スイッチング素子の電荷蓄積層は、前記素子領域上のみに配置される。

【0033】前記複数個のメモリセルと前記選択スイッチング素子が配置される素子領域を取り囲む素子分離絶縁膜を具備し、前記複数個のメモリセルの電荷蓄積層及び前記選択スイッチング素子の電荷蓄積層は、前記素子領域上及び前記素子分離絶縁膜上に配置される。

【0034】前記複数個のメモリセル及び前記選択スイッチング素子は、共に、前記半導体領域と前記電荷蓄積層の間に絶縁膜を有し、前記選択スイッチング素子の絶縁膜の厚さは、前記複数個のメモリセルの絶縁膜の厚さよりも厚い。

【0035】前記選択スイッチング素子は、セレクトゲート電極と、前記セレクトゲート電極と前記選択スイッチング素子の電荷蓄積層との間に配置される絶縁膜とを有し、前記選択スイッチング素子に対する書き込み又は消去時に、前記絶縁膜に流れる電流は、前記半導体領域と前記選択スイッチング素子の電荷蓄積層との間に流れる電流以上となる。

【0036】前記選択スイッチング素子の閾値は、消去動作において、一定値に収束する方向に変化する。

【0037】前記選択スイッチング素子の閾値は、書き込み動作において、一定値に収束する方向に変化する。

【0038】前記複数個のメモリセル及び前記選択スイッチング素子は、共に、第1導電型ウェル領域内に配置される第2導電型電界効果トランジスタから構成される。

【0039】前記選択スイッチング素子は、前記選択スイッチング素子の電荷蓄積層上に絶縁膜を介して配置されるセレクトゲート電極を有し、前記半導体領域の電位は、前記セレクトゲート電極の電位に対して正方向に設定される。

【0040】前記複数個のメモリセル及び前記選択スイッチング素子は、それぞれ前記電荷蓄積層上に絶縁膜を介して配置されるゲート電極を有し、前記複数個のメモリセルのゲート電極及び前記選択スイッチング素子のゲート電極は、共に、一方向に延び、かつ、前記第3ノードに接続されるデータ転送線に直交している。

【0041】本発明の半導体メモリの閾値設定方法は、

電荷蓄積層を有する選択スイッチング素子及び電荷蓄積層を有するメモリセルから構成されるセルユニットを有する半導体メモリに適用され、消去動作により、前記選択スイッチング素子の閾値及び前記メモリセルの閾値を共に負にする工程と、書き込み動作により、前記選択スイッチング素子の閾値を正にする工程と、前記選択スイッチング素子の閾値が正になったか否かを検証し、前記選択スイッチング素子の閾値が正になっていない場合には、再書き込み動作を行う工程と、前記選択スイッチング素子の閾値を正にした後、前記選択スイッチング素子の閾値を設定範囲内に収めるための書き込み動作を行う工程と、前記選択スイッチング素子の閾値が前記設定範囲内に収まったか否かを検証し、前記選択スイッチング素子の閾値が前記設定範囲内に収まっていない場合には、前記再書き込みを行う工程とから構成される。

【0042】前記選択スイッチング素子の閾値は、前記消去動作において第1の値よりも小さくなることはなく、かつ、前記書き込み動作において第2の値よりも大きくなることはない。

【0043】前記再書き込みにより、前記選択スイッチング素子の閾値は、前記第2の値に収束する。

【0044】

【発明の実施の形態】以下、図面を参照しながら、本発明の半導体メモリについて詳細に説明する。

【0045】[第1実施の形態] 図1は、本発明の第1実施の形態に関わるNAND型EEPROMのセルアレイ構造の平面図を示している。図2は、図1のI-I線に沿う断面図、図3は、図1のII-II線に沿う断面図、図4は、図1のIV-IV線に沿う断面図である。図5は、図1乃至図4に示すデバイスの1セルユニット分の等価回路を示している。

【0046】なお、図1乃至図5において、図31と同一の部分には、同一符号をつけて詳しい説明は省略する。また、図の記号の添え字は、その記号が示す素子又は要素の位置の違いを表わすためのものであり、主記号が同じ素子又は要素は、互いに同じ工程により形成される。

【0047】このセルアレイ構造の特徴は、第一に、セレクトゲートトランジスタS1、S2が電荷蓄積層（例えば、窒化シリコン）26SSL、26GSLを有している点、第二に、セレクトゲートトランジスタS1、S2の構造がメモリセルM0、M1、・・・M15の構造と実質的に同じになっている点、第三に、セレクトゲート線SSL、GSLとコントロールゲート線WL0、WL1、・・・WL15が共に同じ配線層内に配置されている点にある。

【0048】1NANDセルユニットは、直列接続された複数個（本例では、16個）のメモリセルM0、M1、・・・M15からなるNANDストリングと、このNANDストリングの両端に1つずつ接続される2個の

10

20

30

40

50

セレクトゲートトランジスタS1, S2とから構成される。

【0049】メモリセルM0, M1, … M15は、電荷蓄積層26を有するMOSトランジスタから構成される。ドレイン側セレクトゲートトランジスタS1は、ビット線（データ転送線）BLに接続され、ソース側セレクトゲートトランジスタS2は、共通ソース線（共通電圧ノード）SLに接続される。

【0050】メモリセルM0, M1, … M15及びセレクトゲートトランジスタS1, S2は、共に、p型ウェル領域23内に形成される。また、メモリセルM0, M1, … M15のコントロールゲート電極は、それぞれロウ方向に一直線に延びており、コントロールゲート線（データ選択線）WL1, WL2, … WL15を構成している。

【0051】セレクトゲートトランジスタS1, S2は、カラム方向に配置された複数のセルユニットのうちの1つを選択する機能を有する。また、セレクトゲートトランジスタS1, S2のセレクトゲート線（ブロック選択線）SSL, GSLは、ロウ方向に配置される複数のセルユニット（1ブロック）に共通に接続されているため、結果として、1ブロック内のセルユニットが選択されることになる。

【0052】ここで、本実施の形態では、従来とは異なり、セレクトゲートトランジスタS1, S2の構造がメモリセルM0, M1, … M15の構造と実質的に同じになっている。即ち、セレクトゲートトランジスタS1, S2は、そのセレクトゲート線SSL, GSLの直下に電荷蓄積層（例えば、窒化シリコン）26SSL, 26GSLを有している。また、セレクトゲート線SSL, GSLとコントロールゲート線WL0, WL1, … WL15は、共に、同じ構造を有し、かつ、共に、同じ配線層内に配置されている。

【0053】このような構造にすることで、メモリセルを高密度に配置でき、かつ、セレクトゲート線SSL, GSL及びコントロールゲート線WL0, WL1, … WL15の低抵抗化を実現することができる。また、製造プロセスの面からは、メモリセル側とセレクトゲートトランジスタ側でフォトリソグラフィや加工を別々に行う必要がなくなり、いわゆる裏打ち配線も不要となるため、チップ面積の縮小や製造コストの低減を実現できる。

【0054】なお、本実施の形態では、1セルユニット45（又は1ブロック）には、2本のセレクトゲート線SSL, GSLが接続されているが、1セルユニット45には、少なくとも1本のセレクトゲート線が接続されていれば足りる。また、セレクトゲート線SSL, GSLは、メモリセルの高密度化のため、本実施の形態のように、コントロールゲート線（データ選択線）WL0, WL1, … WL15が延びる方向（即ち、ロウ方

向）と同じ方向に一直線に配置する。

【0055】また、本実施の形態では、セルユニット45は、16（=2⁴）個のメモリセルから構成されているが、セルユニット45は、少なくとも1つのメモリセルから構成されていればよい。即ち、セルユニット45内のメモリセル数が複数個の場合には、通常のNAND型EEPROMとなり、セルユニット45内のメモリセル数が1個の場合には、いわゆる3-Tr NANDとなる。

【0056】また、NAND型EEPROMでは、セルユニット45内のメモリセル数は、2ⁿ（nは、正の整数）個であることが望ましい。なぜなら、2ⁿ個のメモリセルは、nビットデジタルアドレス信号をデコードすることにより選択できるからである。

【0057】次に、図1乃至図4に示す半導体メモリのデバイス構造について具体的に説明する。

【0058】p型シリコン基板21内には、n型ウェル領域（n型シリコン領域）22が形成され、n型ウェル領域22内には、p型ウェル領域（p型シリコン領域）23が形成される。このようなウェル構造は、ダブルウェル構造又はツインウェル構造と呼ばれる。

【0059】p型ウェル領域23は、p型不純物（例えば、ボロン）を含んでおり、その不純物濃度は、1×10¹⁴～1×10¹⁹ atoms/cm³の範囲内の所定値に設定される。p型ウェル領域23上には、例えば、0.5～10nmの厚さを有するゲート絶縁膜25, 25SSL, 25GSLが形成される。ゲート絶縁膜25, 25SSL, 25GSLは、シリコン酸化膜又はオキシナイトライド膜から構成される。

【0060】ゲート絶縁膜25, 25SSL, 25GSL上には、例えば、4nm～50nmの厚さを有する電荷蓄積層26, 26SSL, 26GSLが形成される。本実施の形態では、電荷蓄積層26, 26SSL, 26GSLは、シリコン窒化膜から構成される。

【0061】電荷蓄積層26, 26SSL, 26GSL上には、例えば、2nm～30nmの厚さを有するブロック絶縁膜（電荷蓄積層とゲート電極との間の絶縁膜）40, 40SSL, 40GSLが形成される。ブロック絶縁膜40, 40SSL, 40GSLは、シリコン酸化膜又はオキシナイトライド膜から構成される。

【0062】ブロック絶縁膜40, 40SSL, 40GSL上には、n型不純物（例えば、リン、砒素）又はp型不純物（例えば、ボロン）を含み、その不純物濃度が、1×10¹⁷～1×10²¹ atoms/cm³の範囲内の所定値に設定されたポリシリコン層41, 41SSL, 41GSLが形成される。ポリシリコン層41, 41SSL, 41GSLは、例えば、10nm～500nmの厚さで形成される。

【0063】ゲート絶縁膜25, 25SSL, 25GSL、電荷蓄積層26, 26SSL, 26GSL、ブ

11

ロック絶縁膜40、40SSL、40GSL及びポリシリコン層41、41SSL、41GSLは、シリコン酸化膜からなる素子分離絶縁膜24に取り囲まれた素子領域(p型シリコン領域)上に、素子領域(又は素子分離絶縁膜24)に対して自己整合的に形成される。

【0064】即ち、本実施の形態では、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL、ブロック絶縁膜40、40SSL、40GSL及びポリシリコン層41、41SSL、41GSLを形成した後に、これらを加工(エッチング)し、これらのロウ方向のエッジ部を形成する(この時点では、カラム方向のエッジ部を形成するための加工は行っていない)。

【0065】このエッチング(RIE)においては、例えば、p型ウェル領域23もエッチングし、p型ウェル領域23内には、その表面から、例えば、0.05~0.5 μ mの深さを有するトレンチを形成する。そして、このトレンチ内に素子分離絶縁膜24を埋め込み、この素子分離絶縁膜24に対してCMP又はエッチバックを実行し、素子領域及び素子分離領域を区画する。

【0066】このように、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL、ブロック絶縁膜40、40SSL、40GSL及びポリシリコン層41、41SSL、41GSLは、シリコン酸化膜からなる素子分離絶縁膜24に取り囲まれた素子領域上に、素子領域又は素子分離領域に対して自己整合的に形成される。また、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL、ブロック絶縁膜40、40SSL、40GSL及びポリシリコン層41、41SSL、41GSLは、表面が平坦なp型ウェル領域23上に形成されるため、メモリセル構造の均一性が向上し、メモリセルの特性を揃えることができる。

【0067】さらに、ポリシリコン層41上には、ロウ方向に延び、ロウ方向に配置されるメモリセルM0、M1、...、M15のポリシリコン層41を互いに電気的に接続するコントロールゲート線27(WL0)、...、27(WL15)が形成される。コントロールゲート線27(WL0)、...、27(WL15)は、低抵抗材料、例えば、WSi(タングステンシリサイド)、NiSi、MoSi、TiSi、CoSiなどの金属シリサイドから構成される。

【0068】同様に、ポリシリコン層41SSL、41GSL上には、ロウ方向に延び、ロウ方向に配置されるセレクトゲートトランジスタS1、S2のポリシリコン層41SSL、41GSLを互いに電気的に接続するセレクトゲート線27(SSL)、27(GSL)が形成される。セレクトゲート線27(SSL)、27(GSL)は、低抵抗材料、例えば、WSi(タングステンシリサイド)、NiSi、MoSi、TiSi、CoSi

12

などの金属シリサイドから構成される。

【0069】即ち、本実施の形態では、メモリセルのコントロールゲート電極及びセレクトゲートトランジスタの制御電極は、共に、不純物濃度が $1 \times 10^{17} \sim 1 \times 10^{21}$ atoms/cm³のポリシリコン層41と、WSi(タングステンシリサイド)、NiSi、MoSi、TiSi、CoSiなどの金属シリサイドとのスタック構造となっている。

【0070】なお、コントロールゲート線27(WL0)、...、27(WL15)及びセレクトゲート線27(SSL)、27(GSL)の厚さは、例えば、10nm~500nmに設定される。また、コントロールゲート線27(WL0)、...、27(WL15)及びセレクトゲート線27(SSL)、27(GSL)は、ロウ方向に配置される複数のセルユニットからなる1ブロックのロウ方向の端部から端部まで延びている。

【0071】コントロールゲート線27(WL0)、...、27(WL15)及びセレクトゲート線27(SSL)、27(GSL)上には、ゲート加工時のマスクとなるキャップ絶縁膜48が形成される。

【0072】このキャップ絶縁膜48をマスクにして、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL、ブロック絶縁膜40、40SSL、40GSL、ポリシリコン層41、41SSL、41GSL及び制御線(コントロールゲート線及びセレクトゲート線)27(WL0)、...、27(WL15)、27(SSL)、27(GSL)をエッチングすると、これらのカラム方向のエッジ部が形成される。

【0073】ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL、ブロック絶縁膜40、40SSL、40GSL、ポリシリコン層41、41SSL、41GSL及び制御線27(WL0)、...、27(WL15)、27(SSL)、27(GSL)のカラム方向のエッジ部(側壁)には、サイドウォール絶縁膜43が形成される。

【0074】サイドウォール絶縁膜43は、例えば、シリコン窒化膜、シリコン酸化膜などから構成され、その厚さは、例えば、5nm~200nmの範囲内の所定値に設定される。また、p型ウェル領域23内には、n型拡散層(ソース/ドレイン領域)28、28a、28dが形成される。

【0075】そして、MONOS型EEPROMセル(メモリセル)は、n型拡散層28、電荷蓄積層26、ポリシリコン層41及びコントロールゲート線27(WL0)、...、27(WL15)により構成される。また、セレクトゲートトランジスタも、n型拡散層28、28a、28d、電荷蓄積層26SSL、26GSL、ポリシリコン層41SSL、41GSL及びセレクトゲート線27(SSL)、27(GSL)により構成され

る。

【0076】MONOS型EEPROMセルのゲート長は、 $0.01\mu\text{m}$ ～ $0.5\mu\text{m}$ の範囲内の所定値に設定される。n型拡散層28、28_a、28_aは、n型不純物（例えば、リン、砒素、アンチモンなど）を含み、その表面濃度は、 $1\times 10^{17}\sim 1\times 10^{21}\text{ atoms/cm}^3$ の範囲内の所定値に設定される。また、n型拡散層28、28_a、28_aの深さは、例えば、 10nm ～ 500nm の範囲内の所定値に設定される。

【0077】1つのn型拡散層28は、互いに隣接する2つのメモリセルにより共有され、その結果、複数の直列接続されたメモリセルからなるNANDストリングが実現される。また、1つのn型拡散層28_a、28_aは、カラム方向に互いに隣接する2つのセルユニットにより共有される。

【0078】セレクトゲートトランジスタのゲート長は、MONOS型EEPROMセル（メモリセル）のゲート長よりも長くなるように設定される。例えば、セレクトゲートトランジスタのゲート長は、 $0.02\mu\text{m}$ ～ $1\mu\text{m}$ の範囲内の所定値に設定される。このように、セレクトゲートトランジスタのゲート長をメモリセルのゲート長よりも長くすることにより、ブロック選択/非選択時のオン/オフ比を十分に大きくできるため、誤書き込みや誤読み出しを防止できる。

【0079】本実施の形態に関わるデバイス構造の特徴は、セレクトゲートトランジスタとメモリセルが、共に、MONOS型MOSFETから構成されている点にある。また、本実施の形態に関わるデバイス構造の特徴は、セレクトゲートトランジスタのセレクトゲート線27（SSL）、27（GSL）がMONOS型EEPROMセル（メモリセル）のコントロールゲート線27（WLO）、・・・27（WL15）と同じ層に形成されている点にある。

【0080】本実施の形態では、メモリセルの絶縁膜25及び電荷蓄積層26の厚さは、それぞれセレクトゲートトランジスタの絶縁膜25SSL、25GSL及び電荷蓄積層26SSL、26GSLの厚さと実質的に同じになっている。つまり、メモリセルとセレクトゲートトランジスタにおいて、同時に、絶縁膜25、25SSL、25GSL及び電荷蓄積層26、26SSL、26GSLを形成できるため、製造工程が短く、プロセスコストを下げることができる。

【0081】さらに、カラム方向に互いに隣接する2つのMOSFET（メモリセル及びセレクトゲートトランジスタを含む）のサイドウォール絶縁膜43の間には、電荷蓄積層26、26SSL、26GSLが形成されていない。このため、カラム方向に互いに隣接する2つのMOSFETの間の絶縁膜に電子が蓄積されることもなく、ソース/ドレイン領域の抵抗上昇を防ぐことができる。

【0082】セルユニット内の最もビット線側のn型拡散層（ドレイン電極）28_aは、例えば、不純物を含む導電性ポリシリコンからなるコンタクトプラグ31_aを経由して中間層33_aに接続される。中間層33_aは、例えば、ビット線コンタクト部のロウ方向のピッチを広げるために設けられる。

【0083】中間層33_aは、例えば、不純物を含む導電性ポリシリコンからなるコンタクトプラグ32_aを経由してビット線（データ転送線）BLに接続される。ビット線36（BL）は、タングステン、タングステンシリサイド、チタン、チタンナイトライド、アルミニウムなどの低抵抗材料から構成される。

【0084】セルユニット内の最もソース線側のn型拡散層（ソース電極）28_aは、例えば、不純物を含む導電性ポリシリコンからなるコンタクトプラグ31_aを経由してソース線33（SL）に接続される。ソース線33（SL）は、ロウ方向に一直線に延びており、ロウ方向のセルユニットに共有されている。

【0085】なお、コンタクトプラグ31_a、31_a、32_aは、導電性ポリシリコンに代えて、タングステン、タングステンシリサイド、Al、TiN、Tiなどの低抵抗材料から構成してもよい。

【0086】メモリセル及びセレクトゲートトランジスタは、層間絶縁膜28によって覆われている。ビット線36（BL）は、例えば、ダマシンプロセスにより、層間絶縁膜28に設けられた配線溝内に形成される。同様に、ソース線33（SL）及び中間層33_aも、例えば、ダマシンプロセスにより形成される。層間絶縁膜28は、例えば、SiO₂やSiNなどから構成される。

【0087】ビット線36（BL）上には、例えば、W、Al、Cuなどの金属から構成される上部配線が形成される。そして、ビット線36（BL）及び上部配線は、それぞれ、例えば、SiO₂、SiN、ポリイミドなどの絶縁膜から構成される保護膜（パッシベーション膜）37に覆われる。

【0088】なお、このようなデバイス構造において、p型ウェル領域23とp型半導体基板21の間には、n型ウェル領域22が配置されている。このため、p型ウェル領域23の電位は、p型半導体基板21の電位とは独立に、設定することができる。その結果、例えば、消去時に、昇圧回路（ブースタ）の消費電力を減らすことができる。

【0089】本実施の形態においては、ポリシリコン層41、41SSL、41GSLのロウ方向のエッジ部を形成し、かつ、p型ウェル領域23内にトレンチを形成し、このトレンチ内に素子分離絶縁膜24を埋め込んだ後に、ロウ方向に延びるコントロールゲート線27（WLO）、・・・27（WL15）及びセレクトゲート線27（SSL）、27（GSL）を形成している。

【0090】従って、図3及び図4に示すように、コン

トロールゲート線27(WL0),...27(WL15)及びセレクトゲート線27(SSL),27(GSL)は、常に、p型ウェル領域23の上部に形成され、p型ウェル領域23の近傍又は下部に形成されることはない。

【0091】つまり、本実施の形態に関わるデバイス構造では、p型ウェル領域23と素子分離絶縁膜24の境界において、電界集中が生じ難く、また、閾値が低い寄生トランジスタも発生し難くなっている。また、電界集中に起因して書き込み閾値が低下する現象、いわゆるsidewalk現象が生じ難くなるため、高信頼性のトランジスタ(メモリセル及びセレクトゲートトランジスタ)を形成することができる。

【0092】図6は、メモリセルアレイ及びワード線ドライバのブロックレイアウトの一例を示している。

【0093】45は、セルユニットであり、セルユニット45は、例えば、NANDセルユニット又はANDセルユニットから構成される。1ブロック内の各セルユニット45には、複数本(本例では、16本)のワード線(データ選択線)WL0x~WL15x(xは、a、bというブロックインデックスを示す添え字)が接続される。

【0094】また、1ブロック内の各セルユニット45には、複数本(本例では、2本)のセレクトゲート線(ブロック選択線)SSLx、GSLxが接続される。セレクトゲート線SSLx、GSLxは、複数のブロックから1つのブロックを選択し、選択された1つのブロック内のセルユニット45をビット線(データ転送線)BL1、BL2に接続する機能を有する。

【0095】ワード線(データ選択線)WL0x~WL15xは、ロウ方向に延び、ビット線(データ転送線)BL1、BL2は、カラム方向に延びており、両者は、互いに直交している。セルユニット45内のメモリセルは、ワード線WL0x~WL15xとビット線BL1、BL2の交点に配置され、それぞれ独立にデジタルビットデータの書き込み及び読み出しが可能である。

【0096】セルユニット45は、ロウ方向及びカラム方向にそれぞれ複数個配置され、メモリセルマトリックスを構成している。図6においては、ロウ方向に2個、カラム方向に2個、合計、4個のセルユニットからなるメモリセルマトリックスを示したが、当然に、ロウ方向に3個以上のセルユニット45を配置し、かつ、カラム方向に3個以上のセルユニット45を配置してもよい。

【0097】但し、ロウ方向又はカラム方向に配置されるセルユニット45がiビットアドレス信号をデコードすることにより選択される点を考慮すれば、ロウ方向又はカラム方向に配置されるセルユニット45の数は、2ⁱ個(iは正の整数)であることが望ましい。

【0098】ワード線WL0x~WL15x及びセレクトゲート線SSLx、GSLxの一端は、データ選択線

ドライバ46に接続される。データ選択線ドライバ46は、ロウデコーダ47(RDCa、RDCb)のデコード結果を受けて、ワード線WL0x~WL15x及びセレクトゲート線SSLx、GSLxを駆動する。

【0099】ここで、本例では、データ選択線ドライバ46は、メモリセルアレイのロウ方向の2つの端部にそれぞれ配置される。つまり、メモリセルアレイ(ブロック)は、データ選択線ドライバ46により挟み込まれている。このようなレイアウトにする理由は、第一に、データ選択線ドライバ46の配置を容易にすること、第二に、1つのセルユニット内の複数本のワード線WL0x~WL15xの駆動タイミングのずれ、即ち、スキューをなくすことにある。

【0100】本例では、1つのブロックに対応して1つのデータ選択線ドライバ46が設けられている。つまり、ブロックa内のワード線WL0a、...WL15aと、ブロックb内のワード線WL0b、...WL15bは、それぞれ独立に制御される。データ選択線ドライバ46は、ロウデコーダ47のデコード結果(出力)に基づいて、書き込み電位Vprogや消去電位Verを、所定のブロック内の所定のワード線に与えるためのスイッチ回路(例えば、MOSTランジスタ)から構成される。

【0101】次に、セレクトゲートトランジスタの閾値の設定方法について説明する。ここでは、ビット線BLに接続されるセレクトゲートトランジスタS1について説明することにする。セレクトゲートトランジスタは、メモリセルと同様に、MONOS型トランジスタから構成される。

【0102】図7は、本実施の形態に関わるMONOS型トランジスタのデバイス構造を示している。図8は、図7のD-D'線に沿う断面の消去時のバンドダイアグラムを示している。図9は、図7のD-D'線に沿う断面の書き込み時のバンドダイアグラムを示している。

【0103】MONOS型トランジスタの電荷蓄積層26内の負の電荷は、図8に示すように、消去時には、トンネル効果により、p型ウェル領域23から電荷蓄積層26へ移動する正孔又は電荷蓄積層26からp型ウェル領域23へ移動する電子によって増減する。

【0104】しかし、電荷蓄積層26内に一定量以上の正の電荷が蓄積されると、ブロック絶縁膜40内に生じる電界が増大し、その結果、電子が、コントロールゲート電極27から電荷蓄積層26に注入される。つまり、消去時に、電荷蓄積層26内の電子をチャンネルに引き抜き、MONOS型トランジスタの閾値を低下させていくと、ある時点からコントロールゲート電極27から電荷蓄積層26に電子が注入されるため、MONOS型トランジスタの閾値は、ゲート絶縁膜25に流れる電流とブロック絶縁膜40に流れる電流が等しくなる時の値に収束する。

【0105】このため、MONOS型トランジスタの閾値は、消去時間を増大させても、所定値よりも低い値になることはなく、常に、所定値よりも高い値となっているため、いわゆるオーバーイレース現象は、生じない。

【0106】一方、図9に示すように、書き込み時には、電荷蓄積層26内の負の電荷は、トンネル効果によりp型ウェル領域23に形成された反転層から電荷蓄積層26へ移動する電子、又は、ソース、ドレイン若しくは基板領域で発生したホットエレクトロン又はホットホールによって増減する。

【0107】しかし、電荷蓄積層26内に一定量以上の負の電荷が蓄積されると、ブロック絶縁膜40のバンドの傾きが増大し、その結果、正孔が、コントロールゲート電極27から電荷蓄積層26に注入される。つまり、書き込み時に、電荷蓄積層26内に電子を注入し、MONOS型トランジスタの閾値を上昇させていくと、ある時点からコントロールゲート電極27から電荷蓄積層26に正孔が注入されるため、MONOS型トランジスタの閾値は、ゲート絶縁膜25に流れる電流とブロック絶縁膜40に流れる電流が等しくなる時の値に収束する。

【0108】このため、MONOS型トランジスタの閾値は、書き込み時間を増大させても、所定値よりも高い値になることはなく、常に、所定値よりも低い値となっているため、いわゆるオーバーライト現象は、生じない。

【0109】このように、本実施の形態に関わるデバイスでは、セレクトゲートトランジスタ及びメモリセルをMONOS型トランジスタから構成し、さらに、電荷蓄積層26とコントロールゲート電極（セレクトゲート線及びコントロールゲート線を含む）27の間のブロック絶縁膜40にも、一定の条件の下で、トンネル電流を流すようにしている。

【0110】このような特徴は、電荷蓄積層とコントロールゲート電極の間の絶縁膜に電流を流すことがない従来の不揮発性半導体メモリにはないものである。

【0111】なお、MONOS型メモリセルの閾値の絶対値が飽和することは、例えば、T.Bohm, A. Nakamura, H. Aozawa, M. Yamagishi and Y. Komatsu, Extended Abstract of the 1995 International Conference on Solid State Devices and Materials, pp. 890-892（特に、Fig. 4の書き込み/消去特性を参照）に記載されている。

【0112】図10は、書き込み/消去後の閾値分布に関して、本発明と従来を比較して示したものである。

【0113】従来のメモリセルは、通常フローティングゲート型メモリセルを対象としている。これに対し、本発明のメモリセル又はセレクトゲートトランジスタは、上述のように、電荷蓄積層とコントロールゲート電極の間のブロック絶縁膜にもトンネル電流が流れるMO

NOS型トランジスタである。

【0114】従来では、点線に示すように、特に、トンネル絶縁膜に正電荷がトラップされることにより、電荷蓄積層からp型ウェル領域に電子を引き抜く消去動作時に、いわゆるオーバーイレース現象が発生する。その結果、消去後のメモリセルの閾値分布の幅 ΔV_{th1} は、非常に広い範囲（2V～3V）となる。

【0115】一方、本発明では、実線に示すように、電荷蓄積層26からp型ウェル領域25に引き抜かれる電子の量が増加しても、これを補償するように、コントロールゲート電極27から電荷蓄積層26に電子が注入されるため、オーバーイレース現象は起こらない。

【0116】その結果、本発明によれば、従来に比べて、消去後のメモリセル又はセレクトゲートトランジスタの閾値分布の幅 ΔV_{th2} を狭くすることができる。具体的には、本発明では、消去後のメモリセル又はセレクトゲートトランジスタの閾値分布の幅 ΔV_{th2} は、1V以下にできる。また、本発明では、メモリセル又はセレクトゲートトランジスタの閾値のばらつきを小さくできるため、消去時間を短くでき、高速な消去動作を実現できる。

【0117】同様に、書き込み動作についても、本発明のセル構造によれば、オーバーライト現象が生じないため、書き込みベリファイを行わずに書き込み動作を行っても、書き込み後の閾値分布の幅を非常に狭い範囲（例えば、1V以下）に収めることができる。また、書き込みベリファイを行えば、書き込み後の閾値分布の幅をさらに狭い範囲に設定することができる。

【0118】従って、本発明では、例えば、セレクトゲートトランジスタの閾値の上限を低い値に設定することができる。また、読み出し時やベリファイリード時に、セレクトゲートトランジスタ（選択スイッチング素子）のセレクトゲート電極（選択スイッチング素子のゲート電極）に与える電位を低下させても、十分に大きな読み出し電流を得ることができる。このため、セレクトゲートトランジスタのゲート絶縁膜（トンネル絶縁膜）に生じる電圧ストレスを小さくでき、ゲート絶縁膜の耐圧（breakdown voltage）の向上やゲート絶縁膜の疲労（劣化）の防止などを達成できる。

【0119】次に、本発明に関わるMONOSトランジスタをセレクトゲートトランジスタS1に使用した場合に、セレクトゲートトランジスタS1の閾値を設定する動作の流れについて説明する。

【0120】なお、以下では、セレクトゲートトランジスタS1の閾値を設定する動作について説明する。本発明では、通常、セレクトゲートトランジスタS1の閾値を設定した後に、セレクトゲートトランジスタS2の閾値の設定を行い、この後、メモリセルに対して、データの書き込み/消去が実行される。

【0121】セレクトゲートトランジスタS2やメモリ

セルについては、以下に示す手法と同様の手法により、閾値の設定が可能である。

【0122】ところで、書き込み、消去、ベリファイの各動作は、例えば、特開平08-315590、特願平11-198978などの文献に開示されるように、公知技術であるため、その詳細な説明については省略する。

【0123】図11は、1ブロック内のセレクトゲートトランジスタS1の閾値の設定ルーチンを示している。

【0124】閾値の設定手順は、SE1からSE5まで 10のプロセスからなる。

【0125】SE1は、ブロック消去ステップである。ブロック消去ステップは、1ブロック内のセレクトゲート線SSLに接続される複数のセレクトゲートトランジスタS1の状態を消去状態にすることを目的とする。セレクトゲートトランジスタS1に対する消去は、例えば、p型ウェル領域23に正電位Vppe、セレクトゲート線SSLに0Vを与えることにより行われる。

【0126】このブロック消去ステップでは、消去ベリファイを行う必要がない。つまり、ブロック消去では、負の閾値を測定し、セレクトゲートトランジスタS1がきちんと消去状態になったか否かを判定する回路が不要であるため、その分だけ、回路面積を小さくできる。

【0127】ここで、本例では、セレクトゲートトランジスタS1の閾値の設定方法のみを考えているため、セレクトゲートトランジスタS1のみを消去状態にすることを前提としているが、例えば、1ブロック内の全てのセレクトゲートトランジスタS1、S2及びメモリセルM0、M1、・・・M15を同時に消去状態にしても構わない。つまり、この場合には、1ブロック内の全ての 30セレクトゲートトランジスタS1、S2及びメモリセルM0、M1、・・・M15を消去状態にした後に、セレクトゲートトランジスタS1、セレクトゲートトランジスタS2、メモリセルM0、M1、・・・M15の順で、それぞれ書き込み動作を行い、その閾値の設定を行う。

【0128】SE1は、例えば、1nsから1μsの範囲内の時間で行われる。具体的には、まず、選択ブロック内のセレクトゲート線SSLをフローティング状態にした後、p型ウェル領域23を消去電位Vppeに設定 40する。続いて、選択ブロック内のセレクトゲート線SSLの電位を0Vに低下させる。さらに、誤消去（mal-erase）を防止するため、非選択ブロック内のワード線（データ選択線）WL0、WL1、・・・WL15及びセレクトゲート線SSL、SGLをフローティング状態にする。

【0129】ここで、100ms以下の実用的な速度で消去動作を終了させるためには、消去電位Vppeは、トンネル絶縁膜（電荷蓄積層と半導体領域との間の絶縁膜）に、 1×10^{-4} A/cm² 以上のトンネル電流 50

を流すために十分な値に設定される。例えば、膜厚t[nm]のシリコン酸化膜をトンネル絶縁膜25に用いた場合には、消去Vppeを、t[V]から6t[V]の範囲内の値にすれば、実用的な消去速度を得ることができる。

【0130】また、消去電位（消去パルス）Vppeのパルス幅は、1μsから100msの範囲内の値に設定される。この消去電位Vppeは、セレクトゲート線SSL、セレクトゲート線GSL及びワード線WL0、WL1、・・・WL15に、同時に与えれば、消去シーケンスの高速化に非常に有効となる。

【0131】なお、消去後には、消去ブロック（選択ブロック）内の全てのセレクトゲートトランジスタ及び全てのメモリセルの閾値が、負となり、また、消去ブロック内のセレクトゲート線27SSL、27GSL及びコントロールゲート線27（WL0）、27（WL1）、・・・27（WL15）には、接地電位が与えられているため、ソース線SLとビット線BLが互いに導通状態になる。

20 【0132】この結果、例えば、図10の実線に示するような消去閾値分布、即ち、閾値が所定値以下には低下しない閾値分布が得られる。また、1つの消去パルスをセレクトゲート線SSLに与えた後の閾値分布の幅ΔVthe2も、図10に示すように、非常に狭くすることができる。

【0133】消去時間としては、図8において説明したように、コントロールゲート電極27と電荷蓄積層26との間にトンネル電流が流れ、このトンネル電流が、電荷蓄積層26とp型ウェル領域23の間に流れる電流に等しくなるか又はそれ以上になるまでの時間に設定する。

【0134】次に、SE2のステップが実行される。このステップでは、選択ブロック内のセレクトゲート線SSLに対して書き込みパルスが印加される。

【0135】書き込みパルスは、p型ウェル領域23の電位よりも大きな電位、例えば、p型ウェル領域23が0Vの場合には、正電位に設定される。具体的には、例えば、p型ウェル領域23の電位を0Vとし、ビット線（データ転送線）BLの電位をソース線SLの電位に等しくし、選択ブロック内のセレクトゲート線SSLの電位を、プログラム電位Vpgmに設定する。

【0136】この時、非選択ブロック内のセレクトゲート線SSLは、プログラム電位Vpgmよりも十分に低い電位（例えば、0V）又はフローティングに設定される。ここで、100ms以下の実用的な速度で書き込み動作を終了させるためには、書き込み電位Vpgmは、トンネル絶縁膜に 1×10^{-4} A/cm² 以上のトンネル電流を流すために十分な値に設定される。

【0137】例えば、膜厚t[nm]のシリコン酸化膜をトンネル絶縁膜に用いた場合においては、書き込み電

21

位 V_{pgm} は、 $t[V]$ から $6t[V]$ の範囲内の所定値にされる。また、書き込み電位 V_{pgm} のパルス幅は、 $1\mu s$ から $100ms$ の範囲内の所定値に設定される。

【0138】なお、選択ブロック内においてセレクトゲートトランジスタに対する書き込みを実行している間、誤書き込みを防止するため、選択ブロック内のワード線（データ選択線） $WL0, WL1, \dots, WL15$ は、 $0V$ 又はフローティング状態に設定される。

【0139】SE2のステップにおいて、ドレイン側（ビット線側）セレクトゲートトランジスタ $S1$ の閾値分布の下限が $0V$ よりも高い値に設定される。

【0140】その結果、それ以降、セレクトゲート線 SL に $0V$ を与えた場合に、セレクトゲートトランジスタ $S1$ をカットオフ状態にすることができる。つまり、例えば、書き込みベリファイにおけるベリファイリード時に、選択ブロック内のセレクトゲートトランジスタ $S1$ 、セレクトゲートトランジスタ $S2$ 又はメモリセル $M0, M1, \dots, M15$ のデータを読み出すことができる。

【0141】なお、セレクトゲートトランジスタ $S1$ の閾値分布の下限が $0V$ 以下の場合には、ソース線 SL とビット線 BL が短絡してしまうブロックが生じるため、例えば、書き込みベリファイ（SE3）を実施できなくなる。

【0142】具体的には、最初の1回目の書き込みパルス（最初のSE2ステップ）により、セレクトゲートトランジスタ $S1$ の閾値分布の下限が $0V$ 以上になるようにする。この書き込みパルスにより、セレクトゲートトランジスタ $S1$ の閾値分布が、設定閾値上限と設定閾値下限の範囲 ΔV_{th} に入る場合には、直ちに、セレクトゲートトランジスタ $S1$ に対する閾値の設定動作を終了してよい。

【0143】また、例えば、書き込み時間を長くしても、セレクトゲートトランジスタ $S1$ の閾値分布の上限は、設定閾値上限を超えることがないと共に、閾値分布の幅を狭くすることができる。この場合、書き込み時間は、図9において説明したように、コントロールゲート電極27と電荷蓄積層26との間にトンネル電流が流れ、かつ、そのトンネル電流が、電荷蓄積層26とp型ウェル領域23との間に流れるトンネル電流と等しくなるか又はそれ以上になるまでの時間とする。

【0144】ここで、従来では、セレクトゲートトランジスタ $S1$ の閾値分布の下限を $0V$ 以上とするために、例えば、図10の設定閾値上限と $0V$ との差を、 ΔV_{th1} （例えば、 $2V$ 以上の値）よりも大きく設定することが必要であった。なぜなら、基本的に、消去状態の閾値分布が、そのままシフトして、書き込み状態の閾値分布となるからである。このため、設定閾値上限が非常に高くなり、データ読み出し時（ベリファイリード時を

22

含む）のいわゆるバス電位（選択ブロック内の非選択ワード線の電位）が高くなる問題があった。

【0145】本発明によれば、セレクトゲートトランジスタ及びメモリセルの消去状態の閾値分布の幅 ΔV_{th2} を非常に狭くできるため、同様に、この消去状態の閾値分布を正方向にシフトさせることにより得られる書き込み状態の閾値分布の幅 V_{thp} も狭くすることができる。従って、設定閾値上限と $0V$ との差も、狭くでき、例えば、 $1V$ 以下に設定することができる。

10 【0146】このように、設定閾値上限の値を低くすることができるため、データ読み出し時（ベリファイリード時を含む）のいわゆるバス電位を低くでき、また、セレクトゲートトランジスタ $S1$ のゲート絶縁膜に生じるストレスや膜疲労の問題をなくすることができる。

【0147】なお、本発明では、さらに、書き込み時間を長くしても（書き込みパルスの回数を増やしても）、セレクトゲートトランジスタ $S1$ の閾値の上限（設定閾値の上限と設定閾値の下限の間に設けられる）が変動することはないため、下限が次第に上昇し、非常に狭い閾値分布（図10の斜線で示す範囲）を得ることが可能になる。

【0148】即ち、 $\Delta V_{th2} > \Delta V_{th}$ で、かつ、（設定閾値上限） $-0V > \Delta V_{th2}$ の場合には、書き込みベリファイ動作を行うことによって、セレクトゲートトランジスタ $S1$ の閾値分布を更に狭めることができる。この場合、最初の1回目の書き込みパルス印加（SE2ステップ）後における閾値分布を、図10に示すように、その閾値分布の下限が $0V$ よりも高くなるようにすればよい。

30 【0149】次に、SE3ステップについて説明する。SE3ステップでは、選択ブロック内のセレクトゲートトランジスタ $S1$ に対するベリファイリードが行われる。即ち、選択ブロック内のセレクトゲートトランジスタ $S1$ の閾値と設定閾値下限とを比較し、セレクトゲートトランジスタ $S1$ の閾値が設定閾値下限よりも低い場合には、SE4ステップにおいて書き込み不十分と判断される。一方、セレクトゲートトランジスタ $S1$ の閾値が設定閾値下限よりも高い場合には、SE4ステップにおいて書き込み十分と判断される。

40 【0150】選択ブロック内の全てのセレクトゲートトランジスタ $S1$ について書き込み十分と判断された場合には、閾値設定動作を終了させる。

【0151】SE3ステップ、即ち、ベリファイリードは、具体的には、以下のように行われる。

【0152】まず、ビット線（データ転送線） BL を V_{read} に充電した後、ビット線 BL をフローティング状態にする。ソース線 SL は、 $0V$ に設定される。 V_{read} は、電源電位 V_{cc} と $0V$ の間の電位とし、 $nMOS$ センスアンプの感度の向上を考慮すると、 $V_{cc}/2$ 以上の値に設定することが望ましい。

50

【0153】Vreadは、選択ブロック内の非選択ワード線に与えるバス電位であり、設定閾値上限よりも高いことが必要である。

【0154】続いて、選択ブロック内のセレクトゲート線SSLにペリファイ電位Vrefを与える。Vrefは、例えば、 $0V + (\text{設定閾値下限}) + (\text{マージン})$ に設定される。マージンは、センスアンプの感度に依存する値となる。センスアンプの感度に依存する値(マージン)は、アレイノイズやセンスアンプの入力トランジスタの閾値のばらつきなどを考慮すると、通常、 $0 \sim 0.2V$ 程度となる。

【0155】そして、セレクトゲートトランジスタS1の閾値が、Vrefよりも低い場合には、セレクトゲートトランジスタS1がオン状態となり、ビット線BLの電荷がセレクトゲートトランジスタS1を経由してソース線SLに放出されるため、ビット線BLの電位が低下する。一方、セレクトゲートトランジスタS1の閾値が、Vrefよりも高い場合には、セレクトゲートトランジスタS1はオフ状態であり、セレクトゲートトランジスタS1には電流が流れず、ビット線BLの電位は、Vreadに保持される。

【0156】このように、選択ブロック内のセレクトゲートトランジスタS1の閾値の状態によって、ビット線BLの電位が変化する。

【0157】そこで、ビット線BLをセンスアンプに電気的に接続し、センスアンプによりこのビット線BLの電位変化を検出すれば、セレクトゲートトランジスタS1の書き込みが十分であるか、又は不十分であるかを判断することができる(SE4ステップ)。

【0158】なお、選択ブロック内の少なくとも1つのセレクトゲートトランジスタS1の閾値がVrefよりも低い場合には、書き込みパルスのパルス電圧及びパルス幅の再設定を行った後に、再び、選択ブロック内のセレクトゲート線SSLに書き込みパルスを与え、セレクトゲートトランジスタS1に対する再書き込みを実行する(SE5ステップ)。

【0159】再書き込みに用いる書き込みパルスは、例えば、閾値のシフト量が ΔV_{th} 以下に収まるように、そのパルス電圧及びパルス幅が設定される。即ち、再書き込みに用いる書き込みパルスのパルス電圧及びパルス幅は、直前に行った書き込み時の書き込みパルスのパルス電圧よりも小さく、かつ、直前に行った書き込み時の書き込みパルスのパルス幅よりも狭く設定される。

【0160】このような書き込みパルスのパルス電圧及びパルス幅を変えるシーケンスは、例えば、特開平08-315590に開示されている。

【0161】そして、SE2ステップからSE5ステップまでのペリファイ動作を、m回だけ繰り返した後は、図10の斜線部に示すように、選択ブロック内のセレクトゲートトランジスタS1の閾値分布の幅は、 ΔV

the/m程度にまで狭くすることができる。例えば、セレクトゲートトランジスタS1の閾値分布の幅は、 $0.5V$ 以下にすることができる。

【0162】以上、1つのブロック内のセレクトゲートトランジスタS1の閾値を設定する場合の回路動作について説明した。

【0163】なお、セレクトゲートトランジスタS1の閾値を設定した後、同様の手法により、1つのブロック内のセレクトゲートトランジスタS2の閾値の設定を行う。この後、メモリセルM0, M1, ... M15に対して、データ書き込み/消去が実行される。

【0164】次に、複数ブロック内のセレクトゲートトランジスタS1の閾値を一括で設定する場合の回路動作について説明する。

【0165】図12は、複数ブロック内のセレクトゲートトランジスタS1の閾値を一括で設定する場合の回路動作を示している。

【0166】まず、SE1'ステップでは、複数のブロック内のセレクトゲートトランジスタS1, S2及びメモリセルM0, M1, ... M15に対して消去動作を実行する。複数のブロック(選択ブロック)内のセレクトゲート線SSLには、p型ウェル領域23よりも低い電位が与えられる。例えば、セレクトゲート線SSLには、 $0V$ が与えられ、p型ウェル領域23には、正電位が与えられる。同様に、セレクトゲート線GSL及びコントロールゲート線WL0, WL1, ... WL15にも、 $0V$ が与えられる。

【0167】SE1'ステップ、即ち、複数ブロック内のセレクトゲートトランジスタS1, S2及びメモリセルM0, M1, ... M15に対する消去動作を終了すると、これらセレクトゲートトランジスタS1, S2及びメモリセルM0, M1, ... M15の閾値は、全て、負となるため、ビット線(データ転送線)BLとソース線SLが常に導通状態(短絡状態)になる。

【0168】図12のフローチャートでは、複数個(n個)のブロックには、それぞれ1からnまでの番号が付されているものとする。

【0169】SE2'ステップでは、第1ブロック内のセレクトゲート線SSLに対する書き込みパルスの印加が行われる。同様に、第2ブロック内のセレクトゲート線SSLから第nブロック内のセレクトゲート線SSLまで、順次、書き込みパルスの印加を実行する(SE2''ステップ)。

【0170】その結果、複数のブロック内、即ち、第1ブロックから第nブロックの全てのブロック内のセレクトゲートトランジスタS1の閾値が $0V$ 以上の値に設定される。ここで、本例では、ブロックごとに、順次、セレクトゲートトランジスタS1に対する最初の書き込みを行ったが、これに代えて、全てのブロック(第1～第nブロック)内のセレクトゲート線SSLに同時に書き

10

20

30

40

50

込みパルスを与え、全てのブロック内のセレクトゲートトランジスタS1に対して、一度に、最初の書き込みを行ってもよい。この場合、書き込み時間の短縮に貢献できる。

【0171】SE3' ステップでは、複数のブロック（第1～第nブロック）内のセレクトゲートトランジスタS1に対するベリファイリードが行われる。

【0172】このベリファイリードは、複数のブロック内の全てのセレクトゲートトランジスタS1に対して一括して同時に行うことができる。即ち、全てのビット線BLをプリチャージ電位に設定した後、フローティング状態にする。また、複数のブロック内の全てのセレクトゲート線SSLに同時にVref1を与え、セレクトゲート線GSL及びコントロールゲート線WL0, WL1, ……WL15に0Vを与える。

【0173】この場合、複数のブロック内のセレクトゲートトランジスタS1のうちの少なくとも1つの閾値がVref1に満たないときは、ビット線BLの電荷がそのセレクトゲートトランジスタS1を経由してソース線S1に放電されるため、ビット線BLの電位は、低下する。また、複数のブロック内の全てのセレクトゲートトランジスタS1の閾値がVref1を超えているときは、ビット線BLは、プリチャージ電位を維持する。

【0174】つまり、例えば、ベリファイリード時に、全てのビット線BLの電位に対してアンド（論理積）処理を行えば、複数のブロック内の全てのセレクトゲートトランジスタS1に対して、一括して、ベリファイ判定を行うことができる（SE4' ステップ）。

【0175】なお、SE2' ～SE5' ステップは、複数のブロック内の全てのセレクトゲートトランジスタS1の閾値を0Vを超える値以上にするを目的とする。従って、このステップにおけるVref1は、0Vを超えていれば、設定閾値下限より低くても構わない。

【0176】そして、ベリファイリードの結果、複数ブロック内のセレクトゲートトランジスタS1のうちの少なくとも1つの閾値がVref1より低い場合には、書き込みパルスのパルス電圧とパルス幅を再設定した後、再書き込みが実行される（SE4' ～SE5'）。

【0177】ここで、セレクトゲートトランジスタS1の閾値が負である場合のセルユニット状態について説明する。

【0178】図13は、複数ブロック内のトランジスタに対して一括消去を行った後のセルユニットの等価回路を示している。

【0179】Ma1, Ma2, Mb1, Mb2は、セルユニット内のドレイン側（ビット線側）セレクトゲートトランジスタS1を表している。また、セレクトゲートトランジスタS2及びメモリセルM0, M1, ……M15の閾値は、全て、負に設定されている。よって、セルユニット内のセレクトゲートトランジスタS2及びメ

モリセルM0, M1, ……M15は、抵抗素子として表すことができる。

【0180】そして、セレクトゲートトランジスタMa1, Ma2, Mb1, Mb2の少なくとも1つの閾値が負である場合、セレクトゲート線SSLa, SSLbを0Vに設定すると、ビット線BL1, BL2のうちの少なくとも1つがセルユニットを経由してソース線SLに短絡される。

【0181】また、全てのセレクトゲートトランジスタMa1, Ma2, Mb1, Mb2の閾値が正である場合、セレクトゲート線SSLa, SSLbを0Vに設定しても、ビット線BL1, BL2がソース線SLに短絡されることはない。この場合には、図12のSE6ステップ以降に行われる閾値設定ルーチンを正確に行うことができる。

【0182】このように、SE1' ステップからSE5' ステップにおいて、複数ブロック内の全てのセレクトゲートトランジスタS1の閾値を正にする理由は、この後に行われる閾値設定ステップ（SE6～SE10）を正確に行うためである。

【0183】なお、SE1' ステップからSE5' ステップにより、複数ブロック内の全てのセレクトゲートトランジスタS1の閾値分布が、設定閾値下限と設定閾値上限の範囲 ΔV_{th} に収まる場合も考えられる。このような場合には、SE6ステップ以降のステップは、実行する意義が薄れるため、SE4' ステップを終了した時点で、セレクトゲートトランジスタS1に対する閾値設定動作を終了させても構わない。

【0184】但し、書き込み時間（書き込み回数）を増やせば、セレクトゲートトランジスタS1の閾値分布の上限は変わらないが、その下限が次第に上昇してくるため、セレクトゲートトランジスタS1の閾値分布の幅を狭めるという点を考慮すれば、SE6ステップ以降のステップを実行する意義はある。

【0185】この場合の書き込み時間は、図9で説明したように、コントロールゲート電極27と電荷蓄積層26との間にトンネル電流が流れ、このトンネル電流が、電荷蓄積層26とp型ウェル領域23との間に流れる電流と等しくなるか、又はそれ以上になるまでの時間とする。

【0186】ここで、従来では、非選択ブロック内のセレクトゲートトランジスタS1をカットオフさせるために、例えば、2V以上ある ΔV_{th1} （図10）よりも、設定閾値上限と0Vとの差を大きくする必要があった。また、ベリファイ動作を行って、セレクトゲートトランジスタS1の閾値を設定閾値下限よりも高い値にしても、設定閾値上限は、下げることができない。

【0187】特に、統計理論によれば、ブロック数をnとすると、複数ブロック内のセレクトゲートトランジスタS1の閾値分布の幅の広がり、単一ブロック内のセ

レクトゲートトランジスタS1の閾値分布の幅の広がりよりも、 $n(1/2)$ 倍だけ大きくなるため、さらに、設定閾値上限は、高くなってしまふ。

【0188】そして、設定閾値上限が高くなると、例えば、読み出し時のVreadを、設定閾値上限を超える値にしなければならないため、Vreadの値が大きくなり、ゲート絶縁膜の膜疲労やストレスの問題が発生する。

【0189】これに対し、本発明によれば、消去後のトランジスタの閾値分布の幅 ΔV_{th2} (図10参照) が非常に小さくなるため、設定閾値上限と0Vとの差を、非常に小さい値 (例えば、1V以下) にでき、結果として、設定閾値上限を下げるができる。従って、ゲート絶縁膜に生じる膜疲労やストレスの問題を緩和することができる。

【0190】ところで、図10において、 $\Delta V_{th2} > \Delta V_{th}$ 、かつ、(設定閾値上限) - 0V $> \Delta V_{th2}$ の場合には、各ブロック内のセレクトゲートトランジスタS1に対して書き込みベリファイ動作を行うことにより、セレクトゲートトランジスタS1の閾値分布の幅を狭めることができる。

【0191】SE6ステップからSE9ステップまでの動作は、図11において説明したSE2ステップからSE5ステップまでの動作と同様にゃえばよい。従って、SE6ステップからSE9ステップまでの動作については、省略する。

【0192】なお、SE6ステップからSE9ステップまでの動作は、第1ブロックに対するシーケンスである。つまり、選択ブロックがn個ある場合には、第1ブロックから第nブロックまで、SE6ステップからSE9ステップまでの動作と同じ動作が繰り返して行われる (SE10ステップ)。

【0193】また、1ブロックに対して、SE6ステップからSE9ステップまでの動作をm回繰り返すと、図10の斜線部で示すように、セレクトゲートトランジスタS1の閾値分布の幅を、 $\Delta V_{th2}/m$ 程度にまで小さくできる。具体的には、セレクトゲートトランジスタS1の閾値分布の幅は、0.3V以下に設定することができる。

【0194】図12に示すような動作は、ブロックごとに、消去及びセレクトゲートトランジスタの閾値設定及びベリファイを行う手法 (1ブロック内のセレクトゲートトランジスタの閾値設定が完了した後に、次のブロック内のセレクトゲートトランジスタの閾値設定を行う手法) に比べ、高速に、セレクトゲートトランジスタS1の閾値の設定が行え、かつ、書き込み/消去時間も、短くできるため、消費電力の削減などに効果的である。

【0195】なお、セレクトゲートトランジスタS1、S2に対する書き込み/消去を行うための回路の具体例については、例えば、特開2000-76880に開示

されている。本発明においても、この回路を用いて、書き込み/消去を実行することができる。

【0196】また、セレクトゲート線SSLに与える電位は、図11のフローチャートにおいて説明した電位関係に基づいて決定すればよい。また、特開2000-76880に開示されるメモリセルに対する書き込み/消去動作時の電位関係を、本発明に関わるセレクトゲートトランジスタに対する書き込み/消去動作時の電位関係として使用してもよい。

【0197】ところで、本実施の形態の前提となったデバイスは、電荷蓄積層26がSiNから構成されるMONOS構造を有しているが、本発明の閾値設定手法は、電荷蓄積層26がSiN以外の絶縁膜から構成されているデバイスにも適用できる。即ち、本発明の閾値設定手法は、コントロールゲート電極と電荷蓄積層との間を流れるキャリアによって電荷蓄積層内の電荷量が飽和し、書き込み閾値又は消去閾値が飽和するような構造を有していればよい。

【0198】例えば、電荷蓄積層26は、導電性シリコン (Si) から構成することができる。図14は、消去時のバンドダイアグラムを示しており、図15は、書き込み時のバンドダイアグラムを示している。この場合、ブロック絶縁膜40の厚さは、例えば、1nm以上20nm以下に設定される。

【0199】図14の消去時のバンドダイアグラムでは、トンネル効果により電荷蓄積層26からp型ウェル領域23に移動する電子によって、電荷蓄積層26内の負電荷の量が減少 (又は正電荷の量が増加) する。そして、電荷蓄積層26内の負電荷が一定量以上に減少すると、ブロック絶縁膜40内に生じる電界が増え、電子がコントロールゲート電極27から電荷蓄積層26に注入される。このため、トランジスタの閾値は、消去時間を増やしても、一定値より低下することはない、いわゆるオーバーイレーズ現象は起こることがない。

【0200】図15の書き込み時のバンドダイアグラムでは、トンネル効果によりp型ウェル領域23から電荷蓄積層26に移動する電子、又は、ソース、ドレイン若しくはチャネルで生じたホットエレクトロン又はホットホールによって、電荷蓄積層26内の負電荷の量が増加 (又は正電荷の量が減少) する。そして、電荷蓄積層26内の負電荷が一定量以上に増加すると、ブロック絶縁膜40のバンドの傾きが増大し、電子が電荷蓄積層26からコントロールゲート電極27に引き抜かれる。このため、トランジスタの閾値は、書き込み時間を増やしても、一定値より上昇することはない、いわゆるオーバーライト現象は起こることがない。

【0201】このように、電荷蓄積層26は、導電性シリコンから構成してもよい。一般的には、電荷蓄積層26は、導電体、例えば、不純物 (例えば、P、As、B など) を含むSi、SiGe、Geでもよく、また、絶

縁体、例えば、SiN、チタンオキサイド、タンタルオキサイド、アルミナなどでもよい。

【0202】[第2実施の形態]図16は、本発明の第2実施の形態に関わるNAND型EEPROMのセルアレイ構造の平面図を示している。図17は、図16のXVII-XVII線に沿う断面図、図18は、図16のXVIII-XVIII線に沿う断面図、図19は、図16のXIX-XIX線に沿う断面図である。

【0203】なお、図16乃至図19に示すデバイスにおいて、図1乃至図4に示すデバイスと同じ部分には同じ符号を付して、その詳細な説明については、省略することにする。

【0204】本実施の形態に関わるデバイスの特徴は、上述の第1実施の形態に関わるデバイスと比べると、電荷蓄積層26がカラム方向に延びており、1セルユニット内のセレクトゲートトランジスタS1、S2及びメモリセルM0、M1、・・・M15の電荷蓄積層26が一体化されている点にある。

【0205】但し、電荷蓄積層26は、絶縁体であり、かつ、実際に、電荷が蓄積される領域は、電荷蓄積層26のうち、コントロールゲート電極27(WL0)、・・・27(WL15)の直下の部分及びセレクトゲート電極27(SSL)、27(GSL)の直下の部分であるため、1セルユニット内のトランジスタの電荷蓄積層26が一体化(共有ではない)されている点は、EEPROMの動作上、全く問題とならない。

【0206】セレクトゲートトランジスタS1、S2及びメモリセルM0、M1、・・・M15は、共に、電荷蓄積層26を有するMONOS型トランジスタから構成される。本実施の形態では、1セルユニット45は、直列接続された16(=2⁴)個のメモリセルからなるNANDストリングと、このNANDストリングの両端に1つずつ接続される2つのセレクトゲートトランジスタS1、S2とから構成される。

【0207】1セルユニット45内に配置されるメモリセル数は、1個以上であればよい。1セルユニット45内のメモリセル数が1個の場合は、特に、3Tr-NANDと呼ばれる特殊なEEPROMとなる。1セルユニット内のメモリセル数は、通常、複数個であるが、nビットアドレス信号のデコードにより1セルユニット45内のメモリセルの選択を行う点を考慮すれば、1セルユニット45内のメモリセル数は、2ⁿ個(nは正の整数)であることが望ましい。

【0208】p型ウェル領域23は、p型不純物(例えば、ボロン)を含み、その不純物濃度は、例えば、1×10¹⁴～1×10¹⁹ atoms/cm³の範囲内の所定値に設定される。p型ウェル領域23上には、ゲート絶縁膜25、25_{SSL}、25_{GSL}が形成される。メモリセルのゲート絶縁膜25の厚さは、例えば、0.5～10nmの範囲内の所定値に設定される。ゲ

ート絶縁膜25、25_{SSL}、25_{GSL}は、例えば、シリコン酸化膜、オキシナイトライド膜などの絶縁膜から構成される。

【0209】ゲート絶縁膜25、25_{SSL}、25_{GSL}上には、電荷蓄積層26、26_{SSL}、26_{GSL}が形成される。電荷蓄積層26、26_{SSL}、26_{GSL}は、例えば、シリコン窒化膜から構成され、その厚さは、4nm～50nmの範囲内の所定値に設定される。

10 【0210】ここで、本実施の形態では、セレクトゲートトランジスタS1、S2直下のゲート絶縁膜25_{SSL}、25_{GSL}の厚さは、メモリセルM0、M1、・・・M15直下のゲート絶縁膜25の厚さよりも、例えば、2nm以上厚くなるように形成される。

【0211】その理由は、セレクトゲートトランジスタS1、S2のトンネル絶縁膜25_{SSL}、25_{GSL}に流れる誤読み出しや誤消去の原因となるトンネル電流を、メモリセルM0、M1、・・・M15のトンネル絶縁膜25に流れる電流よりも小さくし、EEPROMの安定動作を実現するためである。

【0212】このような構造を実現するためには、例えば、予め、ゲート絶縁膜となる2nm～20nmの厚さのシリコン酸化膜又はオキシナイトライド膜を形成し、この後、セレクトゲートトランジスタS1、S2が形成される領域上をレジストで覆い、メモリセルM0、M1、・・・M15が形成される領域のゲート絶縁膜を除去する。この後、再び、ゲート絶縁膜となる0.5～10nmの厚さのシリコン酸化膜又はオキシナイトライド膜を形成する。

30 【0213】このようなゲート絶縁膜25、25_{SSL}、25_{GSL}の形成方法によれば、メモリセルM0、M1、・・・M15のゲート絶縁膜25の厚さは、0.5～10nmとなり、セレクトゲートトランジスタS1、S2のゲート絶縁膜25_{SSL}、25_{GSL}の厚さは、2.5～30nmとなる。

【0214】電荷蓄積層26、26_{SSL}、26_{GSL}の上には、ブロック絶縁膜40、40_{SSL}、40_{GSL}が形成される。ブロック絶縁膜40、40_{SSL}、40_{GSL}の厚さは、例えば、2nm～30nmに設定される。ブロック絶縁膜40、40_{SSL}、40_{GSL}は、例えば、シリコン酸化膜、オキシナイトライド膜などの絶縁膜から構成される。

【0215】ブロック絶縁膜40、40_{SSL}、40_{GSL}上には、導電性ポリシリコン層41、41_{SSL}、41_{GSL}が形成される。導電性ポリシリコン層41、41_{SSL}、41_{GSL}は、不純物(例えば、リン、砒素、ボロンなど)を含み、その不純物濃度は、1×10¹⁷～1×10²¹ atoms/cm³に設定される。導電性ポリシリコン層41、41_{SSL}、41_{GSL}の厚さは、10nm～500nmの

範囲の所定値に設定される。

【0216】ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL、ブロック絶縁膜40、40SSL、40GSL及び導電性ポリシリコン層41、41SSL、41GSLは、それぞれ、例えば、シリコン酸化膜からなる素子分離絶縁膜24により取り囲まれた素子領域（p型ウェル領域23）上に自己整合的に形成される。即ち、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL、ブロック絶縁膜40、40SSL、40GSL及び導電性ポリシリコン層41、41SSL、41GSLのロウ方向のエッジは、素子分離絶縁膜24のロウ方向のエッジに一致している。

【0217】このような構造は、例えば、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL、ブロック絶縁膜40、40SSL、40GSL及び導電性ポリシリコン層41、41SSL、41GSLを形成した後に、これらのロウ方向のエッジを確定するエッチング（RIE）を行い、続けて、p型ウェル領域23もエッチングし、p型ウェル領域23内に、例えば、0.05～0.5μmの深さを有するトレンチを形成する。そして、このトレンチ内に絶縁膜を埋め込めば、素子分離絶縁膜24が形成されると共に、この素子分離絶縁膜24（又は素子領域）に対して自己整合的に、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL、ブロック絶縁膜40、40SSL、40GSL及び導電性ポリシリコン層41、41SSL、41GSLが形成される。

【0218】導電性ポリシリコン層41、41SSL、41GSL上には、コントロールゲート線27（WL0）、・・・27（WL15）及びセレクトゲート線27（SSL）、27（GSL）となる低抵抗材料が形成される。この低抵抗材料は、WSi（タングステンシサイド）、CoSiなどから構成される。つまり、メモリのコントロールゲート電極及びセレクトゲートトランジスタのセレクトゲート電極は、共に、導電性ポリシリコン層と低抵抗材料のスタック構造を有している。

【0219】コントロールゲート線27（WL0）、・・・27（WL15）及びセレクトゲート線27（SSL）、27（GSL）の厚さは、10nm～500nmに設定される。

【0220】導電性ポリシリコン層41、41SSL、41GSL、コントロールゲート線27（WL0）、・・・27（WL15）及びセレクトゲート線27（SSL）、27（GSL）のカラム方向のエッジは、キャップ絶縁膜48をマスクにしたエッチング（RIE）により形成される。

【0221】このエッチングの結果、コントロールゲート線27（WL0）、・・・27（WL15）及びセ

クトゲート線27（SSL）、27（GSL）は、ロウ方向に一直線に延びることになる。また、導電性ポリシリコン層41、41SSL、41GSLは、素子分離絶縁膜24により取り囲まれた素子領域内のみ配置されることになる。

【0222】p型ウェル領域23とp型半導体基板21の間には、n型ウェル領域22が配置されている。これにより、p型ウェル領域23の電位は、p型半導体基板21と独立に、設定することができる。このような構造は、ダブルウェル構造（又はツインウェル構造）と呼ばれ、消去時に、大きな駆動力の昇圧回路が必要なくなるため、消費電力を抑えるなどの効果を得ることができる。

【0223】また、本実施の形態のデバイス構造では、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL、ブロック絶縁膜40、40SSL、40GSL及び導電性ポリシリコン層41、41SSL、41GSLが、素子分離絶縁膜24（又は素子領域）に対して自己整合的に形成され、かつ、素子分離絶縁膜24の上面がp型ウェル領域23の表面よりも十分に上部に形成される。

【0224】このため、コントロールゲート線27（WL0）、・・・27（WL15）及びセレクトゲート線27（SSL）、27（GSL）がp型ウェル領域23の表面近傍又はそれよりも下部に配置されることがない。つまり、p型ウェル領域23と素子分離絶縁膜24の境界における電界集中や閾値の低い寄生トランジスタの発生を防止できる。

【0225】さらに、本実施の形態におけるデバイス構造によれば、電界集中に起因する書き込み閾値の低下現象、いわゆるside walk現象が生じにくくなるため、高性能及び高信頼性のトランジスタを形成できる。

【0226】コントロールゲート線27（WL0）、・・・27（WL15）及びセレクトゲート線27（SSL）、27（GSL）のカラム方向の側壁には、側壁絶縁膜43が形成される。側壁絶縁膜43の厚さは、例えば、5nm～200nmに設定される。側壁絶縁膜43は、例えば、シリコン窒化膜、シリコン酸化膜などから構成される。

【0227】p型ウェル領域23内には、ソース又はドレイン電極となるn型拡散層28、28s、28dが形成される。

【0228】n型拡散層28、電荷蓄積層26、導電性ポリシリコン層41及びコントロールゲート線27（WL0）、・・・27（WL15）により、MONOS型メモリセルM0、M1、・・・M15が構成される。同様に、n型拡散層28、28s、28d、電荷蓄積層26SSL、26GSL、導電性ポリシリコン層41SSL、41GSL及びセレクトゲート線27（SS

10

20

30

40

50

L), 27 (GSL) により、MONOS型セレクトゲートトランジスタS1, S2が構成される。

【0229】MONOS型メモリセルM0, M1, ... M15のゲート長は、0.01 μ m~0.5 μ mの範囲内の所定値に設定される。また、MONOS型セレクトゲートトランジスタS1, S2のゲート長は、メモリセルM0, M1, ... M15のゲート長よりも長い値、例えば、0.02 μ m~1 μ mの範囲内の所定値に設定される。このように、チャネル長を長くすることにより、ブロック選択/非選択時のオン/オフ比を大きくでき、誤書き込みや誤読み出しを防止できる。

【0230】n型拡散層28は、例えば、リン、砒素、アンチモンなどの不純物を含み、その表面濃度は、 $1 \times 10^{17} \sim 1 \times 10^{21}$ atoms/cm³の範囲内の所定値に設定される。n型拡散層28の深さは、例えば、10nm~500nmの範囲内の所定値に設定される。

【0231】n型拡散層28を形成する際のイオン注入においては、n型不純物は、ゲート絶縁膜25, 25SSL, 25GSL、電荷蓄積層26, 26SSL, 26GSL及びブロック絶縁膜40, 40SSL, 40GSLを透過して、p型ウェル領域23内に注入される。n型拡散層28は、互いに隣接する2つのメモリセルに共有され、n型拡散層28s, 28dは、互いに隣接する2つのセルユニットに共有されている。

【0232】本実施の形態に関わるデバイス構造によれば、セレクトゲートトランジスタS1, S2は、電荷蓄積層26を有し、かつ、メモリセルM0, M1, ... M15と同様に、MONOS型トランジスタから構成されている。また、セレクトゲートトランジスタS1, S2のセレクトゲート線SSL, GSLが配置される配線層は、メモリセルM0, M1, ... M15のコントロールゲート線WL0, WL1, ... WL15が配置される配線層と同じである。

【0233】また、本実施の形態のデバイス構造では、上述の第1実施の形態のデバイス構造とは異なり、素子領域上において電荷蓄積層26がカラム方向に延び、1セルユニット内のトランジスタの電荷蓄積層26は、互いに一体化されている。このため、本実施の形態では、電荷蓄積層26は、絶縁体、例えば、SiN、チタンオキサイド、タンタルオキサイド、アルミナなどに限定される。

【0234】また、従来のフローティングゲート電極を有するEEPROMとは異なり、電荷蓄積層26が絶縁体から構成されるため、互いに隣接する2つのトランジスタ(メモリセル及びセレクトゲートトランジスタ)の間のリーク電流を防止するための側壁絶縁膜43は、十分に厚く形成する必要がない。

【0235】つまり、本実施の形態のデバイス構造によれば、側壁絶縁膜43の厚さを薄くすることができた

め、セルユニット内の2つのトランジスタの距離を狭めることができ、素子の高密度化及びチップサイズの縮小に貢献できる。

【0236】また、セレクトゲートトランジスタS1, S2のセレクトゲート線27 (SSL, 27 (GSL) 及びメモリセルM0, M1, ... M15のコントロールゲート線27 (WL0), ... 27 (WL15) を形成する際に、電荷蓄積層26, 26SSL, 26GSLの側壁が露出することがないため、電荷蓄積層26, 26SSL, 26GSLの汚染やリーク電流を防止でき、さらに、ソースエッジ又はドレインエッジの電界集中による異常書き込みや異常消去を減少させることができる。

【0237】また、ゲート絶縁膜25, 25SSL, 25GSL、電荷蓄積層26, 26SSL, 26GSL及びブロック絶縁膜40, 40SSL, 40GSLについては、ロウ方向のエッジの加工のみが行われ、カラム方向のエッジの加工は行われない。

【0238】つまり、カラム方向については、ポリシリコン層41, 41SSL, 41GSL、コントロールゲート電極27 (WL0), ... 27 (WL15) 及びセレクトゲート電極27 (SSL), 27 (GSL) のみを加工すればよく、ゲート絶縁膜25, 25SSL, 25GSL、電荷蓄積層26, 26SSL, 26GSL及びブロック絶縁膜40, 40SSL, 40GSLについては、加工する必要がない。

【0239】このため、ゲート加工後に形成されるトランジスタ間の段差が小さくなり、その結果、互いに隣接する2つのゲート電極の間隔を狭めることができ、素子の高密度化に貢献できる。また、2つのゲート電極の間の溝を層間絶縁膜28で埋め込まなければならないが、本実施の形態によれば、この溝のアスペクト比を小さくすることができるため、2つのゲート電極間の溝に完全に層間絶縁膜28を埋め込むことができる。

【0240】セルユニット内の最もドレイン側(ビット線側)のn型拡散層(ドレイン)28aは、コンタクトプラグ31aを経由して中間層33aに接続される。中間層33aは、コンタクトプラグ32aを経由してビット線(データ転送線)36 (BL) に接続される。セルユニット内の最もソース側(ソース線側)のn型拡散層(ソース)28sは、コンタクトプラグ31sを経由してソース線33 (SL) に接続される。

【0241】ビット線(データ転送線)BLは、例えば、タングステン、タングステンシリサイド、チタン、チタンナイトライド、アルミニウムなどから構成される。ソース線33 (SL) は、ロウ方向に一直線に延びている。なお、n型拡散層28sをロウ方向に一直線に延ばし、このn型拡散層28sをロウ方向のセルユニットに共有させるようにしてもよい。

【0242】コンタクトプラグ31s, 31a, 32a

は、例えば、 n 型不純物又は p 型不純物がドーパされた導電性ポリシリコン、タングステン、タングステンシリサイド、 Al 、 TiN 、 Ti などから構成される。層間絶縁膜28は、例えば、 SiO_2 や SiN などの絶縁膜から構成される。保護膜(パッシベーション膜)37は、例えば、 SiO_2 、 SiN 、ポリイミドなどから構成される。

【0243】なお、ビット線36(BL)上には、例えば、 W 、 Al 、 Cu などから構成される上部配線が配置される。

【0244】本実施の形態に関わるデバイス構造においても、セレクトゲートトランジスタ $S1$ 、 $S2$ に対する閾値の設定は、上述の第1実施の形態において説明した方法により実現することができる。

【0245】また、 n 型拡散層28上に存在する電荷蓄積層26にトラップされた電子は、図11及び図12に示すフローチャートの消去ステップ(SE1、SE1')により p 型ウェル領域23に引き抜くことができるため、 n 型拡散層28上の電荷蓄積層26に電子が蓄積されることはなく、セルユニット内の電流経路の抵抗の増大を防ぐことができる。

【0246】[第3実施の形態]図20は、本発明の第3実施の形態に関わるNAND型EEPROMのセルアレイ構造の平面図を示している。図21は、図20の $XXI-XXI$ 線に沿う断面図、図22は、図20の $XXII-XXII$ 線に沿う断面図、図23は、図20の $XXIII-XXIII$ 線に沿う断面図である。

【0247】なお、図20乃至図23に示すデバイスにおいて、図1乃至図4に示すデバイスと同じ部分には同じ符号を付して、その詳細な説明については、省略することにする。

【0248】本実施の形態に関わるデバイスの特徴は、上述の第2実施の形態に関わるデバイスに比べると、電荷蓄積層26が、素子分離絶縁膜24上及び素子分離絶縁膜24に取り囲まれた素子領域上の全体に形成されている点にある。

【0249】但し、実際に、電荷が蓄積される領域は、電荷蓄積層26のうち、コントロールゲート電極27(WL0)、 \dots 27(WL15)の直下の部分及びセレクトゲート電極27(SSL)、27(GSL)の直下の部分であるため、電荷蓄積層26が p 型ウェル領域(メモリセルアレイ領域)23上の全体に形成されている点は、EEPROMの動作上、全く問題とならない。

【0250】セレクトゲートトランジスタ $S1$ 、 $S2$ 及びメモリセル $M0$ 、 $M1$ 、 \dots $M15$ は、共に、電荷蓄積層26を有するMONOS型トランジスタから構成される。本実施の形態では、1セルユニット45は、直列接続された16(=2⁴)個のメモリセルからなるNANDストリングと、このNANDストリングの両端に

1ずつ接続される2つのセレクトゲートトランジスタ $S1$ 、 $S2$ とから構成される。

【0251】1セルユニット45内に配置されるメモリセル数は、1個以上であればよい。1セルユニット45内のメモリセル数が1個の場合は、特に、3Tr-NANDと呼ばれる特殊なEEPROMとなる。1セルユニット内のメモリセル数は、通常、複数個であるが、 n ビットアドレス信号のデコードにより1セルユニット45内のメモリセルの選択を行う点を考慮すれば、1セルユニット45内のメモリセル数は、2 ^{n} 個(n は正の整数)であることが望ましい。

【0252】 p 型ウェル領域23は、 p 型不純物(例えば、ボロン)を含み、その不純物濃度は、例えば、 $1 \times 10^{14} \sim 1 \times 10^{19}$ atoms/cm³の範囲内の所定値に設定される。 p 型ウェル領域23上には、ゲート絶縁膜25、25SSL、25GSLが形成される。ゲート絶縁膜25、25SSL、25GSLの厚さは、例えば、0.5～10nmの範囲内の所定値に設定される。ゲート絶縁膜25、25SSL、25GSLは、例えば、シリコン酸化膜、オキシナイトライド膜などの絶縁膜から構成される。

【0253】ゲート絶縁膜25、25SSL、25GSL上及び素子分離絶縁膜24上には、電荷蓄積層26、26SSL、26GSLが形成される。電荷蓄積層26、26SSL、26GSLは、例えば、シリコン窒化膜から構成され、その厚さは、4nm～50nmの範囲内の所定値に設定される。

【0254】ここで、本実施の形態では、電荷蓄積層26、26SSL、26GSLが p 型ウェル領域(メモリセルアレイ領域)23上の全体に形成されるが、電荷蓄積層26、26SSL、26GSLは、絶縁体から構成されるため、EEPROMの動作上、全く問題はない。

【0255】電荷蓄積層26、26SSL、26GSLの上には、ブロック絶縁膜40、40SSL、40GSLが形成される。ブロック絶縁膜40、40SSL、40GSLの厚さは、例えば、2nm～30nmに設定される。ブロック絶縁膜40、40SSL、40GSLは、例えば、シリコン酸化膜、オキシナイトライド膜などの絶縁膜から構成される。

【0256】これらゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL及びブロック絶縁膜40、40SSL、40GSLは、以下のようにして形成される。

【0257】まず、 p 型ウェル領域23に、0.05～0.5 μ mの深さを有するトレンチを形成した後、このトレンチ内に素子分離絶縁膜24を埋め込む。この後、素子分離絶縁膜24の表面が p 型ウェル領域23の表面とほぼ等しくなるまで、素子分離絶縁膜24の平坦化処理(エッチバック、CMPなど)を行う。そして、素子分離絶縁膜24に取り囲まれた素子領域上に、ゲート絶

37

縁膜25、25SSL、25GSLを形成する。

【0258】この後、ゲート絶縁膜25、25SSL、25GSL上及び素子分離絶縁膜24上に、電荷蓄積層26となるシリコン窒化膜を形成し、さらに、続けて、電荷蓄積層26上に、ブロック絶縁膜40を形成する。

【0259】このような方法では、上述の第1及び第2実施の形態とは異なり、まず、STI構造の素子分離絶縁膜24が形成された後に、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL及びブロック絶縁膜40、40SSL、40GSLが形成される。このため、素子分離絶縁膜24を形成するためのトレンチのアスペクト比を小さくすることができ、トレンチ内に完全に素子分離絶縁膜24を埋め込むため、素子分離耐圧の向上を図ることができる。

【0260】ブロック絶縁膜40、40SSL、40GSL上には、導電性ポリシリコン層から構成されるコントロールゲート線27(WL0)、・・・27(WL15)及びセレクトゲート線27(SSL)、27(GSL)が形成される。導電性ポリシリコン層は、不純物濃度は、 $1 \times 10^{17} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ に設定される。導電性ポリシリコン層の厚さは、10nm～500nmの範囲の所定値に設定される。

【0261】なお、本実施の形態では、コントロールゲート線27(WL0)、・・・27(WL15)及びセレクトゲート線27(SSL)、27(GSL)は、導電性ポリシリコン層から構成したが、これに代えて、例えば、導電性ポリシリコン層と金属シリサイド層(例えば、WSi、CoSiなど)とのスタック構造を有していてもよい。

【0262】コントロールゲート線27(WL0)、・・・27(WL15)及びセレクトゲート線27(SSL)、27(GSL)のカラム方向のエッジは、キャップ絶縁膜48をマスクにしたエッチング(RIE)により形成される。このエッチングの結果、コントロールゲート線27(WL0)、・・・27(WL15)及びセレクトゲート線27(SSL)、27(GSL)は、ロウ方向に一直線に延びることになる。

【0263】p型ウェル領域23とp型半導体基板21の間には、n型ウェル領域22が配置されている。これにより、p型ウェル領域23の電位は、p型半導体基板21と独立に、設定することができる。このような構造は、ダブルウェル構造(又はツインウェル構造)と呼ばれ、消去時に、大きな駆動力の昇圧回路が必要なくなるため、消費電力を抑えるなどの効果を得ることができる。

【0264】コントロールゲート線27(WL0)、・・・27(WL15)及びセレクトゲート線27(SS

38

L)、27(GSL)のカラム方向の側壁には、側壁絶縁膜43が形成される。側壁絶縁膜43の厚さは、例えば、5nm～200nmに設定される。側壁絶縁膜43は、例えば、シリコン窒化膜、シリコン酸化膜などから構成される。

【0265】p型ウェル領域23内には、ソース又はドレイン電極となるn型拡散層28、28s、28dが形成される。

【0266】n型拡散層28、電荷蓄積層26及びコントロールゲート線27(WL0)、・・・27(WL15)により、MONOS型メモリセルM0、M1、・・・M15が構成される。同様に、n型拡散層28、28s、28d、電荷蓄積層26SSL、26GSL及びセレクトゲート線27(SSL)、27(GSL)により、MONOS型セレクトゲートトランジスタS1、S2が構成される。

【0267】MONOS型メモリセルM0、M1、・・・M15のゲート長は、0.01μm～0.5μmの範囲内の所定値に設定される。また、MONOS型セレクトゲートトランジスタS1、S2のゲート長は、メモリセルM0、M1、・・・M15のゲート長よりも長い値、例えば、0.02μm～1μmの範囲内の所定値に設定される。このように、チャネル長を長くすることにより、ブロック選択/非選択時のオン/オフ比を大きくでき、誤書き込みや誤読み出しを防止できる。

【0268】n型拡散層28は、例えば、リン、砒素、アンチモンなどの不純物を含み、その表面濃度は、 $1 \times 10^{17} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の範囲内の所定値に設定される。n型拡散層28の深さは、例えば、10nm～500nmの範囲内の所定値に設定される。

【0269】n型拡散層28を形成する際のイオン注入においては、n型不純物は、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL及びブロック絶縁膜40、40SSL、40GSLを透過して、p型ウェル領域23内に注入される。n型拡散層28は、互いに隣接する2つのメモリセルに共有され、n型拡散層28s、28dは、互いに隣接する2つのセルユニットに共有されている。

【0270】本実施の形態に関わるデバイス構造によれば、セレクトゲートトランジスタS1、S2は、電荷蓄積層26を有し、かつ、メモリセルM0、M1、・・・M15と同様に、MONOS型トランジスタから構成されている。また、セレクトゲートトランジスタS1、S2のセレクトゲート線SSL、GSLが配置される配線層は、メモリセルM0、M1、・・・M15のコントロールゲート線WL0、WL1、・・・WL15が配置される配線層と同じである。

【0271】また、本実施の形態のデバイス構造では、上述の第2実施の形態のデバイス構造とは異なり、電荷

蓄積層26が素子分離絶縁膜24上及び素子分離絶縁膜24に取り囲まれた素子領域上に配置され、全てのセルユニット内のトランジスタの電荷蓄積層26が、互いに一体化されている。このため、本実施の形態においても、電荷蓄積層26は、絶縁体、例えば、SiN、チタンオキシサイド、タンタルオキシサイド、アルミナなどに限定される。

【0272】また、従来のフローティングゲート電極を有するEEPROMとは異なり、電荷蓄積層26が絶縁体から構成されるため、互いに隣接する2つのトランジスタ（メモリセル及びセレクトゲートトランジスタ）の間のリーク電流を防止するための側壁絶縁膜43は、十分に厚く形成する必要がない。

【0273】つまり、本実施の形態のデバイス構造によれば、側壁絶縁膜43の厚さを薄くすることができるため、セルユニット内の2つのトランジスタの距離を狭めることができ、素子の高密度化及びチップサイズの縮小に貢献できる。

【0274】また、セレクトゲートトランジスタS1、S2のセレクトゲート線27（SSL、27（GSL）及びメモリセルM0、M1、・・・M15のコントロールゲート線27（WL0）、・・・27（WL15）を形成する際に、電荷蓄積層26、26SSL、26GSLの側壁が露出することがないため、電荷蓄積層26、26SSL、26GSLの汚染やリーク電流を防止でき、さらに、ソースエッジ又はドレインエッジの電界集中による異常書き込みや異常消去を減少させることができる。

【0275】また、本実施の形態では、STI構造の素子分離絶縁膜24を形成した後に、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層（絶縁膜）26、26SSL、26GSL及びブロック絶縁膜40、40SSL、40GSLが形成されるため、これら絶縁膜が、素子分離絶縁膜24を形成する際の熱工程にさらされることがない。

【0276】従って、プロセスダメージなしに、良好な膜質のゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL及びブロック絶縁膜40、40SSL、40GSLを形成することができる。

【0277】また、本実施の形態では、電荷蓄積層26、26SSL、26GSLは、p型ウェル領域（メモリセルアレイ領域）23上の全体に形成され、電荷蓄積層26、26SSL、26GSLを加工するプロセスが存在しないため、電荷蓄積層26、26SSL、26GSLのダメージの発生がなく、電荷保持特性の向上に貢献することができる。

【0278】さらに、セレクトゲートトランジスタS1、S2のセレクトゲート線27（SSL、27（GSL）及びメモリセルM0、M1、・・・M15のコント

ロールゲート線27（WL0）、・・・27（WL15）のみについて加工すればよく、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL及びブロック絶縁膜40、40SSL、40GSLについては、加工する必要がない。

【0279】このため、ゲート加工後に形成されるトランジスタ間の段差が小さくなり、その結果、互いに隣接する2つのゲート電極の間隔を狭めることができ、素子の高密度化に貢献できる。また、2つのゲート電極の間の溝を層間絶縁膜28で埋め込まなければならないが、本実施の形態によれば、この溝のアスペクト比を小さくすることができるため、2つのゲート電極間の溝に完全に層間絶縁膜28を埋め込むことができる。

【0280】セルユニット内の最もドレイン側（ビット線側）のn型拡散層（ドレイン）28aは、コンタクトプラグ31aを経由して中間層33aに接続される。中間層33aは、コンタクトプラグ32aを経由してビット線（データ転送線）36（BL）に接続される。セルユニット内の最もソース側（ソース線側）のn型拡散層（ソース）28bは、コンタクトプラグ31bを経由してソース線33（SL）に接続される。

【0281】ビット線（データ転送線）BLは、例えば、タングステン、タングステンシリサイド、チタン、チタンナイトライド、アルミニウムなどから構成される。ソース線33（SL）は、ロウ方向に一直線に延びている。なお、n型拡散層28bをロウ方向に一直線に延ばし、このn型拡散層28bをロウ方向のセルユニットに共有させるようにしてもよい。

【0282】コンタクトプラグ31a、31b、32aは、例えば、n型不純物又はp型不純物がドーパされた導電性ポリシリコン、タングステン、タングステンシリサイド、Al、TiN、Tiなどから構成される。層間絶縁膜28は、例えば、SiO₂やSiNなどの絶縁膜から構成される。保護膜（パッシベーション膜）37は、例えば、SiO₂、SiN、ポリイミドなどから構成される。

【0283】なお、ビット線36（BL）上には、例えば、W、Al、Cuなどから構成される上部配線が配置される。

【0284】本実施の形態に関わるデバイス構造においても、セレクトゲートトランジスタS1、S2に対する閾値の設定は、上述の第1実施の形態において説明した方法により実現することができる。

【0285】また、n型拡散層28上に存在する電荷蓄積層26にトラップされた電子は、図11及び図12に示すフローチャートの消去ステップ（SE1、SE1'）によりp型ウェル領域23に引き抜くことができるため、n型拡散層28上の電荷蓄積層26に電子が蓄積されることはなく、セルユニット内の電流経路の抵抗の増大を防ぐことができる。

【0286】〔第4実施の形態〕図24は、本発明の第4実施の形態に関わるAND型EEPROMのセルアレイ構造の平面図を示している。図25は、図24のXXV-XXV線に沿う断面図、図26は、図24のXXVI-XXVI線に沿う断面図である。また、図27は、図24乃至図26に示すデバイスの1セルユニット分の等価回路を示している。

【0287】本実施の形態に関わるデバイス構造は、上述の第1実施の形態に関わるNANDセル構造のメモリセルアレイをANDセル構造に変更したものであると考えることができる。

【0288】複数個（本例では、16個）のメモリセルM0, M1, … M15は、ノードAとノードBの間に並列に接続される。ノードAは、セレクトゲートトランジスタS1を経由してビット線（データ転送線）BLに接続される。また、ノードBは、セレクトゲートトランジスタS2を経由してソース線SLに接続される。メモリセルM0, M1, … M15及びセレクトゲートトランジスタS1, S2は、共に、p型ウェル領域23上に形成される。

【0289】メモリセルM0, M1, … M15のコントロールゲート電極は、コントロールゲート線（データ選択線、即ち、ワード線）WL0, WL1, … WL15に接続される。コントロールゲート線WL0, WL1, … WL15は、ロウ方向に延び、1ブロック内の複数のセルユニット45に接続される。

【0290】セレクトゲートトランジスタS1, S2のセレクトゲート電極は、セレクトゲート線SSL, GSLに接続される。セレクトゲート線SSL, GSLは、ロウ方向に延び、1ブロック内の複数のセルユニット45に接続される。セレクトゲート線SSL, GSLは、ブロックの選択を行い、選択されたブロック内のセルユニット45をビット線BLに電気的に接続する機能を有する。

【0291】本実施の形態では、セレクトゲートトランジスタS1, S2は、電荷蓄積層26SSL, 26GSLを有しており、セレクトゲートトランジスタS1, S2のデバイス構造は、メモリセルM0, M1, … M15のデバイス構造と実質的に同じとなっている。また、セレクトゲートトランジスタS1, S2のセレクトゲート線SSL, GSLが配置される配線層は、メモリセルM0, M1, … M15のコントロールゲート線WL0, WL1, … WL15が配置される配線層と同じになっている。

【0292】なお、本実施の形態では、1ブロック内のセルユニット45に接続されるセレクトゲート線の本数は、2本であるが、少なくとも1本存在すれば足りる。また、素子の高密度化を考慮すると、セレクトゲート線SSL, GSLは、コントロールゲート線（ワード線）WL0, WL1, … WL15に平行に配置するのが

望ましい。

【0293】本実施の形態では、1セルユニット45内には、並列接続された16（ $=2^4$ ）個のメモリセルが配置されているが、1セルユニット45内に配置されるメモリセル数は、1個以上であればよい。但し、nビットアドレス信号により1セルユニット45内のメモリセルM0, M1, … M15を選択することを考慮すれば、1セルユニット45内には、 2^n 個（nは正の整数）のメモリセルを配置することが望ましい。

【0294】次に、図24乃至図26に示す半導体メモリのデバイス構造について具体的に説明する。

【0295】p型シリコン基板21内には、n型ウェル領域（n型シリコン領域）22が形成され、n型ウェル領域22内には、p型ウェル領域（p型シリコン領域）23が形成される。このようなウェル構造は、ダブルウェル構造又はツインウェル構造と呼ばれる。

【0296】p型ウェル領域23は、p型不純物（例えば、ボロン）を含んでおり、その不純物濃度は、 $1 \times 10^{14} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲内の所定値に設定される。p型ウェル領域23上には、例えば、0.5～10nmの厚さを有するゲート絶縁膜25, 25SSL, 25GSLが形成される。ゲート絶縁膜25, 25SSL, 25GSLは、シリコン酸化膜又はオキシナイトライド膜から構成される。

【0297】ゲート絶縁膜25, 25SSL, 25GSL上には、例えば、4nm～50nmの厚さを有する電荷蓄積層26, 26SSL, 26GSLが形成される。本実施の形態では、電荷蓄積層26, 26SSL, 26GSLは、シリコン窒化膜から構成される。

【0298】電荷蓄積層26, 26SSL, 26GSL上には、例えば、2nm～30nmの厚さを有するブロック絶縁膜40, 40SSL, 40GSLが形成される。ブロック絶縁膜40, 40SSL, 40GSLは、シリコン酸化膜又はオキシナイトライド膜から構成される。

【0299】ブロック絶縁膜40, 40SSL, 40GSL上には、n型不純物（例えば、リン、砒素）又はp型不純物（例えば、ボロン）を含み、その不純物濃度が、 $1 \times 10^{17} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の範囲内の所定値に設定されたポリシリコン層41, 41SSL, 41GSLが形成される。ポリシリコン層41, 41SSL, 41GSLは、例えば、10nm～500nmの厚さで形成される。

【0300】ゲート絶縁膜25, 25SSL, 25GSL、電荷蓄積層26, 26SSL, 26GSL、ブロック絶縁膜40, 40SSL, 40GSL及びポリシリコン層41, 41SSL, 41GSLは、シリコン酸化膜からなる素子分離絶縁膜24に取り囲まれた素子領域（p型シリコン領域）上に、素子領域（又は素子分離絶縁膜24）に対して自己整合的に形成される。

【0301】即ち、本実施の形態では、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL、ブロック絶縁膜40、40SSL、40GSL及びポリシリコン層41、41SSL、41GSLを形成した後に、これらを加工（エッチング）し、これらのロウ方向のエッジ部を形成する（この時点では、カラム方向のエッジ部を形成するための加工は行っていない）。

【0302】このエッチング（RIE）においては、例えば、p型ウェル領域23もエッチングし、p型ウェル領域23内には、その表面から、例えば、0.05～0.5μmの深さを有するトレンチを形成する。そして、このトレンチ内に素子分離絶縁膜24を埋め込み、かつ、素子分離絶縁膜24に対してCMP又はエッチバックを行い、素子領域及び素子分離領域を区画する。

【0303】このように、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL、ブロック絶縁膜40、40SSL、40GSL及びポリシリコン層41、41SSL、41GSLは、シリコン酸化膜からなる素子分離絶縁膜24に取り囲まれた素子領域上に、素子領域又は素子分離領域に対して自己整合的に形成される。また、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL、ブロック絶縁膜40、40SSL、40GSL及びポリシリコン層41、41SSL、41GSLは、表面が平坦なp型ウェル領域23上に形成されるため、メモリセル構造の均一性が向上し、メモリセルの特性を揃えることができる。

【0304】さらに、ポリシリコン層41上には、ロウ方向に延び、ロウ方向に配置されるメモリセルM0、M1、・・・M15のポリシリコン層41を互いに電気的に接続するコントロールゲート線27（WL0）、・・・27（WL15）が形成される。コントロールゲート線27（WL0）、・・・27（WL15）は、低抵抗材料、例えば、WSi（タングステンシリサイド）、NiSi、MoSi、TiSi、CoSiなどの金属シリサイドから構成される。

【0305】同様に、ポリシリコン層41SSL、41GSL上には、ロウ方向に延び、ロウ方向に配置されるセレクトゲートトランジスタS1、S2のポリシリコン層41SSL、41GSLを互いに電気的に接続するセレクトゲート線27（SSL）、27（GSL）が形成される。セレクトゲート線27（SSL）、27（GSL）は、低抵抗材料、例えば、WSi（タングステンシリサイド）、NiSi、MoSi、TiSi、CoSiなどの金属シリサイドから構成される。

【0306】即ち、本実施の形態では、メモリセルのコントロールゲート電極及びセレクトゲートトランジスタの制御電極は、共に、不純物濃度が $1 \times 10^{17} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ のポリシリコン層4

1、41SSL、41GSLと、WSi（タングステンシリサイド）、NiSi、MoSi、TiSi、CoSiなどの金属シリサイドとのスタック構造となっている。

【0307】なお、コントロールゲート線27（WL0）、・・・27（WL15）及びセレクトゲート線27（SSL）、27（GSL）の厚さは、例えば、10nm～500nmに設定される。また、コントロールゲート線27（WL0）、・・・27（WL15）及びセレクトゲート線27（SSL）、27（GSL）は、ロウ方向に配置される複数のセルユニットからなる1ブロックのロウ方向の端部から端部まで延びている。

【0308】コントロールゲート線27（WL0）、・・・27（WL15）及びセレクトゲート線27（SSL）、27（GSL）上には、ゲート加工時のマスクとなるキャップ絶縁膜48が形成される。

【0309】このキャップ絶縁膜48をマスクにして、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL、ブロック絶縁膜40、40SSL、40GSL、ポリシリコン層41、41SSL、41GSL及び制御線（コントロールゲート線及びセレクトゲート線）27（WL0）、・・・27（WL15）、27（SSL）、27（GSL）をエッチングすると、これらのカラム方向のエッジ部が形成される。

【0310】そして、MONOS型EEPROMセル（メモリセル）は、n型拡散層28、電荷蓄積層26、ポリシリコン層41及びコントロールゲート線27（WL0）、・・・27（WL15）により構成される。また、セレクトゲートトランジスタも、n型拡散層28、28a、電荷蓄積層26SSL、26GSL、ポリシリコン層41SSL、41GSL及びセレクトゲート線27（SSL）、27（GSL）により構成される。

【0311】MONOS型EEPROMセルのゲート長は、0.01μm～0.5μmの範囲内の所定値に設定される。n型拡散層28、28a、28aは、n型不純物（例えば、リン、砒素、アンチモンなど）を含み、その表面濃度は、 $1 \times 10^{17} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の範囲内の所定値に設定される。また、n型拡散層28、28a、28aの深さは、例えば、10nm～500nmの範囲内の所定値に設定される。

【0312】n型拡散層（ソース/ドレイン）28は、並列接続された複数個（本例では、16個）のメモリセルにより共有され、その結果、複数の並列接続されたメモリセルからなるANDセル構造が実現される。また、n型拡散層28a、28aは、カラム方向に互いに隣接する2つのセルユニットにより共有される。

【0313】また、n型拡散層28上には、例えば、5～200nmの厚さのシリコン酸化膜又はオキシナイト

ライド膜からなる層間絶縁膜が形成される。

【0314】セレクトゲートトランジスタのゲート長は、MONOS型EEPROMセル（メモリセル）のゲート長よりも長くなるように設定される。例えば、セレクトゲートトランジスタのゲート長は、 $0.02\mu\text{m}$ ～ $1\mu\text{m}$ の範囲内の所定値に設定される。このように、セレクトゲートトランジスタのゲート長をメモリセルのゲート長よりも長くすることにより、ブロック選択／非選択時のオン／オフ比を十分に大きくできるため、誤書き込みや誤読み出しを防止できる。

【0315】本実施の形態に関わるデバイス構造の特徴は、セレクトゲートトランジスタとメモリセルが、共に、MONOS型MOSFETから構成されている点にある。また、本実施の形態に関わるデバイス構造の特徴は、セレクトゲートトランジスタのセレクトゲート線27（SSL）、27（GSL）がMONOS型EEPROMセル（メモリセル）のコントロールゲート線27（WL0）、・・・27（WL15）と同じ層に形成されている点にある。

【0316】本実施の形態では、メモリセルの絶縁膜25及び電荷蓄積層26の厚さは、それぞれセレクトゲートトランジスタの絶縁膜25SSL、25GSL及び電荷蓄積層26SSL、26GSLの厚さと実質的に同じになっている。つまり、メモリセルとセレクトゲートトランジスタにおいて、同時に、絶縁膜25、25SSL、25GSL及び電荷蓄積層26、26SSL、26GSLを形成できるため、製造工程が短く、プロセスコストを下げることができる。

【0317】さらに、カラム方向に互いに隣接する2つのMOSFET（メモリセル及びセレクトゲートトランジスタを含む）の間には、電荷蓄積層26、26SSL、26GSLが形成されていない。このため、カラム方向に互いに隣接する2つのMOSFETの間の絶縁膜に電子が蓄積されることもない。

【0318】セルユニット内の最もビット線側のn型拡散層（ドレイン電極）28aは、ビット線（データ転送線）BLに接続される。ビット線BLは、例えば、不純物を含む導電性ポリシリコン、タングステン、タングステンシリサイド、チタン、チタンナイトライド、アルミニウムなどから構成される。セルユニット内の最もソース線側のn型拡散層（ソース電極）28bは、ソース線に接続される。

【0319】メモリセル及びセレクトゲートトランジスタは、層間絶縁膜28によって覆われている。ビット線36（BL）は、例えば、ダマシンプロセスにより、層間絶縁膜28に設けられた配線溝内に形成される。層間絶縁膜28は、例えば、 SiO_2 や SiN などから構成される。

【0320】ビット線36（BL）上には、例えば、W、Al、Cuなどの金属から構成される上部配線が形

成される。そして、ビット線36（BL）及び上部配線は、それぞれ、例えば、 SiO_2 、 SiN 、ポリイミドなどの絶縁膜から構成される保護膜（パッシベーション膜）37に覆われる。

【0321】なお、このようなデバイス構造において、p型ウェル領域23とp型半導体基板21の間には、n型ウェル領域22が配置されている。このため、p型ウェル領域23の電位は、p型半導体基板21の電位とは独立に、設定することができる。その結果、例えば、消去時に、昇圧回路（ブースタ）の消費電力を減らすことができる。

【0322】本実施の形態においては、ポリシリコン層41、41SSL、41GSLのロウ方向のエッジ部を形成し、かつ、p型ウェル領域23内にトレンチを形成し、このトレンチ内に素子分離絶縁膜24を埋め込んだ後に、ロウ方向に延びるコントロールゲート線27（WL0）、・・・27（WL15）及びセレクトゲート線27（SSL）、27（GSL）を形成している。

【0323】従って、図25及び図26に示すように、コントロールゲート線27（WL0）、・・・27（WL15）及びセレクトゲート線27（SSL）、27（GSL）は、常に、p型ウェル領域23の上部に形成され、p型ウェル領域23の近傍又は下部に形成されることはない。

【0324】つまり、本実施の形態に関わるデバイス構造では、p型ウェル領域23と素子分離絶縁膜24の境界において、電界集中が生じ難く、また、閾値が低い寄生トランジスタも発生し難くなっている。

【0325】本実施の形態では、ANDセル構造を採用しているため、メモリセルM0、M1、・・・M15の直列抵抗を小さく、かつ、一定にすることができ、例えば、メモリセルに記憶されるデータを多値化（multi-level）した場合に、メモリセルの閾値を安定させるために都合がよい。

【0326】本実施の形態に関わるデバイス構造においても、上述の第1実施の形態と同様に、セレクトゲートトランジスタS1、S2の閾値の設定を行うことができる。閾値の設定時において、ANDセル構造を採用した場合の動作の特徴は、読み出し動作時に、選択ブロック内の非選択メモリセルをオフ状態にする点にある。

【0327】即ち、NANDセル構造では、読み出し動作時、選択ブロック内の非選択メモリセルは、オン状態になる。この点以外の動作は、ANDセル構造を採用した場合とNANDセル構造を採用した場合で同じとなる。従って、ANDセル構造を採用した場合にも、例えば、図11及び図12に示すフローチャートにより、セレクトゲートトランジスタS1、S2の閾値の設定が可能である。

【0328】なお、本実施の形態においては、メモリセルM0、M1、・・・M15の間には、電荷蓄積層26

が配置されていない。よって、電荷蓄積層26は、導電体、例えば、P、As又はBがドーパされたSi、SiGe、Geでもよいし、SiN以外の絶縁膜、例えば、チタンオキシサイド、タンタルオキシサイド、アルミナなどでもよい。

【0329】〔第5実施の形態〕図28は、本発明の第5実施の形態に関わるAND型EEPROMのセルアレイ構造の平面図を示している。図29は、図28のXXIX-XXIX線に沿う断面図、図30は、図28のXXX-XXX線に沿う断面図である。図28乃至図30のデバイスの等価回路は、図27に示すようになる。

【0330】なお、図28乃至図30に示すデバイスにおいて、図24乃至図26に示すデバイスと同じ部分には同じ符号を付しておく。

【0331】本実施の形態に関わるデバイスの特徴は、上述の第2実施の形態に関わるデバイスに比べると、電荷蓄積層26、26SSL、26GSLが、素子分離絶縁膜24上及び素子分離絶縁膜24に取り囲まれた素子領域上の全体に形成されている点にある。

【0332】複数個（本例では、16個）のメモリセルM0、M1、・・・M15は、ノードAとノードBの間に並列に接続される。ノードAは、セレクトゲートトランジスタS1を経由してビット線（データ転送線）BLに接続される。また、ノードBは、セレクトゲートトランジスタS2を経由してソース線SLに接続される。メモリセルM0、M1、・・・M15及びセレクトゲートトランジスタS1、S2は、共に、p型ウェル領域23上に形成される。

【0333】メモリセルM0、M1、・・・M15のコントロールゲート電極は、コントロールゲート線（データ選択線、即ち、ワード線）WL0、WL1、・・・WL15に接続される。コントロールゲート線WL0、WL1、・・・WL15は、ロウ方向に延び、1ブロック内の複数のセルユニットに接続される。

【0334】セレクトゲートトランジスタS1、S2のセレクトゲート電極は、セレクトゲート線SSL、GSLに接続される。セレクトゲート線SSL、GSLは、ロウ方向に延び、1ブロック内の複数のセルユニットに接続される。セレクトゲート線SSL、GSLは、ブロックの選択を行い、選択されたブロック内のセルユニットをビット線BLに電気的に接続する機能を有する。

【0335】本実施の形態では、セレクトゲートトランジスタS1、S2は、電荷蓄積層26SSL、26GSLを有しており、セレクトゲートトランジスタS1、S2のデバイス構造は、メモリセルM0、M1、・・・M15のデバイス構造と実質的に同じとなっている。また、セレクトゲートトランジスタS1、S2のセレクトゲート線SSL、GSLが配置される配線層は、メモリセルM0、M1、・・・M15のコントロールゲート線WL0、WL1、・・・WL15が配置される配

線層と同じになっている。

【0336】なお、本実施の形態では、1ブロック内のセルユニット45に接続されるセレクトゲート線の数は、2本であるが、少なくとも1本存在すれば足りる。また、素子の高密度化を考慮すると、セレクトゲート線SSL、GSLは、コントロールゲート線（ワード線）WL0、WL1、・・・WL15に平行に配置するのが望ましい。

【0337】本実施の形態では、1セルユニット45内には、並列接続された16（ $=2^4$ ）個のメモリセルが配置されているが、1セルユニット45内に配置されるメモリセル数は、1個以上であればよい。但し、nビットアドレス信号により1セルユニット45内のメモリセルM0、M1、・・・M15を選択することを考慮すれば、1セルユニット45内には、 2^n 個（nは正の整数）のメモリセルを配置することが望ましい。

【0338】次に、図28乃至図30に示す半導体メモリのデバイス構造について具体的に説明する。

【0339】p型シリコン基板21内には、n型ウェル領域（n型シリコン領域）22が形成され、n型ウェル領域22内には、p型ウェル領域（p型シリコン領域）23が形成される。このようなウェル構造は、ダブルウェル構造又はツインウェル構造と呼ばれる。

【0340】p型ウェル領域23は、p型不純物（例えば、ボロン）を含んでおり、その不純物濃度は、 $1 \times 10^{14} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲内の所定値に設定される。p型ウェル領域23上には、例えば、0.5～10nmの厚さを有するゲート絶縁膜25、25SSL、25GSLが形成される。ゲート絶縁膜25、25SSL、25GSLは、シリコン酸化膜又はオキシナイトライド膜から構成される。

【0341】ゲート絶縁膜25、25SSL、25GSL上には、例えば、4nm～50nmの厚さを有する電荷蓄積層26、26SSL、26GSLが形成される。本実施の形態では、電荷蓄積層26、26SSL、26GSLは、シリコン窒化膜から構成される。

【0342】電荷蓄積層26、26SSL、26GSL上には、例えば、2nm～30nmの厚さを有するブロック絶縁膜40、40SSL、40GSLが形成される。ブロック絶縁膜40、40SSL、40GSLは、シリコン酸化膜又はオキシナイトライド膜から構成される。

【0343】本実施の形態では、電荷蓄積層26、26SSL、26GSL及びブロック絶縁膜40、40SSL、40GSLは、p型ウェル領域（メモリセルアレイ領域）23上の全体に形成される。

【0344】ここで、電荷蓄積層26、26SSL、26GSLは、絶縁体から構成されるため、電荷蓄積層26、26SSL、26GSLがp型ウェル領域（メモリセルアレイ領域）23上の全体に形成されていても、E

EPROMの動作上、全く問題はない。

【0345】これらゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL及びブロック絶縁膜40、40SSL、40GSLは、以下のようにして形成される。

【0346】まず、p型ウェル領域23に、0.05～0.5 μ mの深さを有するトレンチを形成した後、このトレンチ内に素子分離絶縁膜24を埋め込む。この後、素子分離絶縁膜24の表面がp型ウェル領域23の表面とほぼ等しくなるまで、素子分離絶縁膜24の平坦化処理(エッチバック、CMPなど)を行う。そして、層間絶縁膜46を形成した後、素子分離絶縁膜24に取り囲まれた素子領域上に、ゲート絶縁膜25、25SSL、25GSLを形成する。

【0347】この後、ゲート絶縁膜25、25SSL、25GSL上及び層間絶縁膜46上に、電荷蓄積層26となるシリコン窒化膜を形成し、さらに、続けて、電荷蓄積層26上に、ブロック絶縁膜40を形成する。

【0348】このような方法では、まず、STI構造の素子分離絶縁膜24が形成された後に、ゲート絶縁膜25、25SSL、25GSL、電荷蓄積層26、26SSL、26GSL及びブロック絶縁膜40、40SSL、40GSLが形成される。このため、素子分離絶縁膜24を形成するためのトレンチのアスペクト比を小さくすることができ、トレンチ内に完全に素子分離絶縁膜24を埋め込めるため、素子分離耐圧の向上を図ることができる。

【0349】ブロック絶縁膜40、40SSL、40GSL上には、例えば、ポリシリコン層からなるコントロールゲート線27(WL0)、・・・27(WL15)及びセレクトゲート線27(SSL)、27(GSL)が形成される。

【0350】この場合、ポリシリコン層は、n型不純物(例えば、リン、砒素)又はp型不純物(例えば、ボロン)を含み、その不純物濃度が、 $1 \times 10^{17} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の範囲内の所定値に設定される。コントロールゲート線27(WL0)、・・・27(WL15)及びセレクトゲート線27(SSL)、27(GSL)は、例えば、10nm～500nmの厚さで形成される。

【0351】コントロールゲート線27(WL0)、・・・27(WL15)及びセレクトゲート線27(SSL)、27(GSL)は、ポリシリコン層ではなく、例えば、WSi(タングステンシリサイド)、NiSi、MoSi、TiSi、CoSiなどの金属シリサイドから構成することもできる。また、コントロールゲート線27(WL0)、・・・27(WL15)及びセレクトゲート線27(SSL)、27(GSL)は、ポリシリコンと金属シリサイドの積層構造から構成されていてもよい。

【0352】コントロールゲート線27(WL0)、・・・27(WL15)及びセレクトゲート線27(SSL)、27(GSL)上には、ゲート加工時のマスクとなるキャップ絶縁膜48が形成される。

【0353】このキャップ絶縁膜48をマスクにして、コントロールゲート線27(WL0)、・・・27(WL15)及びセレクトゲート線27(SSL)、27(GSL)をエッチングすると、これらのカラム方向のエッジ部が形成される。

10 【0354】そして、MONOS型EEPROMセル(メモリセル)は、n型拡散層28、電荷蓄積層26及びコントロールゲート線27(WL0)、・・・27(WL15)により構成される。また、セレクトゲートトランジスタも、n型拡散層28、28s、28a、電荷蓄積層26SSL、26GSL及びセレクトゲート線27(SSL)、27(GSL)により構成される。

【0355】MONOS型EEPROMセルのゲート長は、0.01 μ m～0.5 μ mの範囲内の所定値に設定される。n型拡散層28、28s、28aは、n型不純物(例えば、リン、砒素、アンチモンなど)を含み、その表面濃度は、 $1 \times 10^{17} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の範囲内の所定値に設定される。また、n型拡散層28、28s、28aの深さは、例えば、10nm～500nmの範囲内の所定値に設定される。

【0356】n型拡散層(ソース/ドレイン)28は、並列接続された複数個(本例では、16個)のメモリセルにより共有され、その結果、複数の並列接続されたメモリセルからなるANDセル構造が実現される。また、n型拡散層28s、28aは、カラム方向に互いに隣接する2つのセルユニットにより共有される。

30 【0357】セレクトゲートトランジスタのゲート長は、MONOS型EEPROMセル(メモリセル)のゲート長よりも長くなるように設定される。例えば、セレクトゲートトランジスタのゲート長は、0.02 μ m～1 μ mの範囲内の所定値に設定される。このように、セレクトゲートトランジスタのゲート長をメモリセルのゲート長よりも長くすることにより、ブロック選択/非選択時のオン/オフ比を十分に大きくできるため、誤書き込みや誤読み出しを防止できる。

40 【0358】本実施の形態に関わるデバイス構造の特徴は、セレクトゲートトランジスタとメモリセルが、共に、MONOS型MOSFETから構成されている点にある。また、本実施の形態に関わるデバイス構造の特徴は、セレクトゲートトランジスタのセレクトゲート線27(SSL)、27(GSL)がMONOS型EEPROMセル(メモリセル)のコントロールゲート線27(WL0)、・・・27(WL15)と同じ層に形成されている点にある。

50 【0359】本実施の形態では、メモリセルのゲート絶縁膜25及び電荷蓄積層26の厚さは、それぞれセレクト

51

トゲートトランジスタのゲート絶縁膜25SSL, 25GSL及び電荷蓄積層26SSL, 26GSLの厚さと実質的に同じになっている。つまり、メモリセルとセレクトゲートトランジスタにおいて、同時に、ゲート絶縁膜25, 25SSL, 25GSL及び電荷蓄積層26, 26SSL, 26GSLを形成できるため、製造工程が短く、プロセスコストを下げることができる。

【0360】さらに、n型拡散層28上には、5nmから200nmの厚さの層間絶縁膜46が形成される。セルユニット内の最もビット線側のn型拡散層（ドレイン電極）28aは、ビット線（データ転送線）BLに接続される。ビット線BLは、例えば、不純物を含む導電性ポリシリコン、タングステン、タングステンシリサイド、チタン、チタンナイトライド、アルミニウムなどから構成される。セルユニット内の最もソース線側のn型拡散層（ソース電極）28bは、ソース線に接続される。

【0361】メモリセル及びセレクトゲートトランジスタは、層間絶縁膜28によって覆われている。ビット線36（BL）は、例えば、ダマシンプロセスにより、層間絶縁膜28に設けられた配線溝内に形成される。層間絶縁膜28は、例えば、SiO₂やSiNなどから構成される。

【0362】ビット線36（BL）上には、例えば、W、Al、Cuなどの金属から構成される上部配線が形成される。そして、ビット線36（BL）及び上部配線は、それぞれ、例えば、SiO₂、SiN、ポリイミドなどの絶縁膜から構成される保護膜（パッシベーション膜）37に覆われる。

【0363】なお、このようなデバイス構造において、p型ウェル領域23とp型半導体基板21の間には、n型ウェル領域22が配置されている。このため、p型ウェル領域23の電位は、p型半導体基板21の電位とは独立に、設定することができる。その結果、例えば、消去時に、昇圧回路（ブースタ）の消費電力を減らすことができる。

【0364】本実施の形態のデバイス構造では、電荷蓄積層26が素子分離絶縁膜24上及び素子分離絶縁膜24に取り囲まれた素子領域上に配置され、全てのセルユニット内のトランジスタの電荷蓄積層26が、互いに一体化されている。このため、本実施の形態においては、電荷蓄積層26は、絶縁体、例えば、SiN、チタンオキサイド、タンタルオキサイド、アルミナなどに限定される。

【0365】また、従来のフローティングゲート電極を有するEEPROMとは異なり、電荷蓄積層26が絶縁体から構成されるため、互いに隣接する2つのトランジスタ（メモリセル及びセレクトゲートトランジスタ）の間のリーク電流を防止するための側壁絶縁膜43は、十分に厚く形成する必要がない。

52

【0366】つまり、本実施の形態のデバイス構造によれば、側壁絶縁膜43の厚さを薄くすることができるため、セルユニット内の2つのトランジスタの距離を狭めることができ、素子の高密度化及びチップサイズの縮小に貢献できる。

【0367】また、セレクトゲートトランジスタS1, S2のセレクトゲート線27（SSL, 27（GSL）及びメモリセルM0, M1, … M15のコントロールゲート線27（WL0）, … 27（WL15）を形成する際に、電荷蓄積層26, 26SSL, 26GSLの側壁が露出することがないため、電荷蓄積層26, 26SSL, 26GSLの汚染やリーク電流を防止でき、さらに、ソースエッジ又はドレインエッジの電界集中による異常書き込みや異常消去を減少させることができる。

【0368】また、本実施の形態では、STI構造の素子分離絶縁膜24を形成した後に、ゲート絶縁膜25, 25SSL, 25GSL、電荷蓄積層（絶縁膜）26, 26SSL, 26GSL及びブロック絶縁膜40, 40SSL, 40GSLが形成されるため、これら絶縁膜が、素子分離絶縁膜24を形成する際の熱工程にさらされることがない。

【0369】従って、プロセスダメージなしに、良好な膜質のゲート絶縁膜25, 25SSL, 25GSL、電荷蓄積層26, 26SSL, 26GSL及びブロック絶縁膜40, 40SSL, 40GSLを形成することができる。

【0370】また、本実施の形態では、電荷蓄積層26, 26SSL, 26GSLは、p型ウェル領域（メモリセルアレイ領域）23上の全体に形成され、電荷蓄積層26, 26SSL, 26GSLを加工するプロセスが存在しないため、電荷蓄積層26, 26SSL, 26GSLのダメージの発生がなく、電荷保持特性の向上に貢献することができる。

【0371】さらに、セレクトゲートトランジスタS1, S2のセレクトゲート線27（SSL, 27（GSL）及びメモリセルM0, M1, … M15のコントロールゲート線27（WL0）, … 27（WL15）のみに加工すればよく、ゲート絶縁膜25, 25SSL, 25GSL、電荷蓄積層26, 26SSL, 26GSL及びブロック絶縁膜40, 40SSL, 40GSLについては、加工する必要がない。

【0372】このため、ゲート加工後に形成されるトランジスタ間の段差が小さくなり、その結果、互いに隣接する2つのゲート電極の間隔を狭めることができ、素子の高密度化に貢献できる。また、2つのゲート電極の間の溝を層間絶縁膜28で埋め込まなければならないが、本実施の形態によれば、この溝のアスペクト比を小さくすることができるため、2つのゲート電極間の溝に完全に層間絶縁膜28を埋め込むことができる。

【0373】また、本実施の形態では、ANDセル構造を採用しているため、メモリセルM0, M1, … M15の直列抵抗を小さく、かつ、一定にすることができ、例えば、メモリセルに記憶されるデータを多値化（multi-level）した場合に、メモリセルの閾値を安定させるために都合がよい。

【0374】本実施の形態に関わるデバイス構造においても、上述の第1実施の形態と同様に、セレクトゲートトランジスタS1, S2の閾値の設定を行うことができる。閾値の設定時において、ANDセル構造を採用した場合の動作の特徴は、読み出し動作時に、選択ブロック内の非選択メモリセルをオフ状態にする点にある。

【0375】即ち、NANDセル構造では、読み出し動作時、選択ブロック内の非選択メモリセルは、オン状態になる。この点以外の動作は、ANDセル構造を採用した場合とNANDセル構造を採用した場合で同じとなる。従って、ANDセル構造を採用した場合にも、例えば、図11及び図12に示すフローチャートにより、セレクトゲートトランジスタS1, S2の閾値の設定が可能である。

【0376】〔その他〕以上の全ての実施の形態に関して、セレクトゲートトランジスタS1, S2のセレクトゲート線SSL, GSLと、メモリセルM0, M1, … M15のコントロールゲート線WL0, WL1, … WL15は、同じ配線層内に形成されるため、セレクトゲート線SSL, GSL及びコントロールゲート線WL0, WL1, … WL15の配線抵抗を、共に、低く設定することができる。

【0377】即ち、セレクトゲート線SSL, GSL及びコントロールゲート線WL0, WL1, … WL15に対して、ポリサイドプロセスや、サリサイドプロセスなどのゲート配線の抵抗値を低くするプロセスを採用することができると共に、セレクトゲート線SSL, GSL及びコントロールゲート線WL0, WL1, … WL15を同時に形成できるため、製造ステップ数の削減によりコストの低減を図ることができる。

【0378】また、セレクトゲート線SSL, GSL及びコントロールゲート線WL0, WL1, … WL15は、1回のPEP（Photo Engraving Process）及びRIEによりパターニングできるため、リソグラフィ時のセレクトゲート線SSL, GSLとコントロールゲート線WL0, WL1, … WL15の合せずれの問題も発生しない。

【0379】また、セレクトゲート線SSL, GSLの低抵抗化のために、セレクトゲート線SSL, GSL上にいわゆる低抵抗の裏打ち配線が必要ないため、配線層の数を減らすことができる。また、セレクトゲート線SSL, GSLと裏打ち配線のコンタクト部（シャント領域）も不要なため、チップ面積を削減でき、かつ、コンタクト不良や断線不良の問題もなくすることができる。

【0380】さらに、フローティングゲート電極ではなく、例えば、絶縁体から構成される電荷蓄積層26を用いているため、いわゆるスリット作成プロセスなどが不要であり、プロセスの簡略化を実現できる。また、セレクトゲートトランジスタの製造プロセスとメモリセルの製造プロセスを完全に共通化できる。

【0381】また、セレクトゲート線SSL, GSLと裏打ち配線のコンタクト部（シャント領域）が不要なため、例えば、ビット線/ソース線コンタクト部を挟み込む2本のセレクトゲート線SSL, GSLの間隔は、メモリセルのコントロールゲート線WL0, WL1, … WL15の間隔に等しくすることができる。

【0382】なお、本発明は、上述の実施の形態に限定されない。

【0383】例えば、素子分離絶縁膜25を含む絶縁膜の形成方法に関しては、シリコン（Si）を、シリコン酸化膜やシリコン窒化膜に変換する方法の他、酸素イオンをシリコン内に注入する方法や、堆積されたシリコンを酸化する方法などを用いることもできる。

20 【0384】また、電荷蓄積層26は、TiO₂、Al₂O₃、タンタル酸化膜、チタン酸ストロンチウム、チタン酸バリウム、チタン酸ジルコニウム鉛、又は、これらの積層膜を用いてもよい。

【0385】また、上述の各実施の形態では、p型半導体基板（シリコン基板）21を採用したが、これに代えて、例えば、n型シリコン基板、SOI（Silicon On Insulator）基板、シリコンを含む単結晶半導体基板（SiGe混晶基板、SiGeC混晶基板など）を採用してもよい。

30 【0386】さらに、メモリセルM0, M1, … M15及びセレクトゲートトランジスタS1, S2は、p型ウェル領域23内に形成されるnチャネルトランジスタから構成されているが、これに代えて、n型ウェル領域（n型半導体基板でもよい）内に形成されるpチャネルトランジスタから構成されていてもよい。この場合、上述の各実施の形態においては、n型をp型に置き換え、p型をn型に置き換えればよい。

40 【0387】メモリセルのコントロールゲート電極及びセレクトゲートトランジスタのセレクトゲート電極は、Si半導体、SiGe混晶又はSiGeC混晶から構成されていてもよく、また、TiSi、NiSi、CoSi、TaSi、WSi、MoSiなどのシリサイド（又はポリサイド）から構成されていてもよく、また、Ti、Al、Cu、TiN、Wなどの金属から構成されていてもよく、また、多結晶材料から構成されていてもよく、さらに、これらの積層構造から構成されていてもよい。

50 【0388】また、メモリセルのコントロールゲート電極及びセレクトゲートトランジスタのセレクトゲート電極は、アモルファスSi、アモルファスSiGe混晶若

しくはアモルファスSiGeC混晶、又は、これらの積層構造から構成されていてもよい。メモリセルM0, M1, ... M15及びセレクトゲートトランジスタS1, S2の電荷蓄積層26, 26ssL, 26gsLは、複数のドット状の部材の集合から構成されていてもよい。

【0389】その他、本発明は、その要旨を逸脱しない範囲で、様々に変形して実施することができる。

【0390】

【発明の効果】以上、説明したように、本発明の半導体メモリによれば、セレクトゲートトランジスタS1, S2のセレクトゲート線SSL, GSLとメモリセルM0, M1, ... M15のコントロールゲート線WL0, WL1, ... WL15は、同じ配線層内に形成でき、セレクトゲート線SSL, GSL及びコントロールゲート線WL0, WL1, ... WL15の配線抵抗を同時に下げることができる。

【0391】即ち、セレクトゲート線SSL, GSL及びコントロールゲート線WL0, WL1, ... WL15に対して、ポリサイドプロセスや、サリサイドプロセスなどのゲート配線の低抵抗プロセスを共通に用いることができ、配線抵抗の低下と共に製造ステップ数の削減を実現できる。

【0392】また、セレクトゲート線SSL, GSLとコントロールゲート線WL0, WL1, ... WL15は、1回のリソグラフィにより形成されるマスクを用いて同時に加工できるため、セレクトゲート線SSL, GSLとコントロールゲート線WL0, WL1, ... WL15の合せずれの問題がなく、チップ面積が増大することもない。

【0393】また、セレクトゲート線SSL, GSLの低抵抗化のために、セレクトゲート線SSL, GSL上にいわゆる低抵抗の裏打ち配線が必要ないため、配線層の数を減らすことができる。また、セレクトゲート線SSL, GSLと裏打ち配線のコンタクト部（シャント領域）も不要なため、チップ面積を削減でき、かつ、コンタクト不良や断線不良の問題もなくすることができる。

【0394】さらに、フローティングゲート電極ではなく、例えば、絶縁体から構成される電荷蓄積層26を用いているため、いわゆるスリット作成プロセスなどが不要であり、プロセスの簡略化を実現できる。また、セレクトゲートトランジスタの製造プロセスとメモリセルの製造プロセスを完全に共通化できる。

【0395】また、セレクトゲート線SSL, GSLと裏打ち配線のコンタクト部（シャント領域）が不要なため、例えば、ビット線/ソース線コンタクト部を挟み込む2本のセレクトゲート線SSL, GSLの間隔は、メモリセルのコントロールゲート線WL0, WL1, ... WL15の間隔に等しくすることができる。

【図面の簡単な説明】

【図1】本発明の第1実施の形態に関わるNAND型EEPROMの平面図。

【図2】図1のII-II線に沿う断面図。

【図3】図1のIII-III線に沿う断面図。

【図4】図1のIV-IV線に沿う断面図。

【図5】図1乃至図4のデバイスの1セルユニット分の等価回路を示す図。

【図6】メモリセルアレイ及びドライバのレイアウトの一例を示すブロック図。

【図7】本発明に関わるトランジスタのデバイス構造を示す断面図。

【図8】図7のデバイスの消去時のバンド状態を示す図。

【図9】図7のデバイスの書き込み時のバンド状態を示す図。

【図10】本発明のデバイスの消去/書き込み後の閾値分布を示す図。

【図11】本発明のトランジスタに対する閾値設定方法の第1例を示す図。

【図12】本発明のトランジスタに対する閾値設定方法の第2例を示す図。

【図13】図11及び図12の消去ステップ後のセルユニットの状態を示す図。

【図14】本発明に関わるデバイスの消去時のバンド状態を示す図。

【図15】本発明に関わるデバイスの書き込み時のバンド状態を示す図。

【図16】本発明の第2実施の形態に関わるNAND型EEPROMの平面図。

【図17】図16のXVII-XVII線に沿う断面図。

【図18】図16のXVIII-XVIII線に沿う断面図。

【図19】図16のXIX-XIX線に沿う断面図。

【図20】本発明の第3実施の形態に関わるNAND型EEPROMの平面図。

【図21】図20のXXI-XXI線に沿う断面図。

【図22】図20のXXII-XXII線に沿う断面図。

【図23】図20のXXIII-XXIII線に沿う断面図。

【図24】本発明の第4実施の形態に関わるAND型EEPROMの平面図。

【図25】図24のXXV-XXV線に沿う断面図。

【図26】図24のXXVI-XXVI線に沿う断面図。

【図27】図24乃至図26のデバイスの1セルユニット分の等価回路を示す図。

【図28】本発明の第5実施の形態に関わるAND型EEPROMの平面図。

【図29】図28のXXIX-XXIX線に沿う断面図。

【図30】図28のXXX-XXX線に沿う断面図。

【図31】NANDセルユニットの等価回路を示す図。

【図32】ANDセルユニットの等価回路を示す図。

【符号の説明】

21 : p型半導体基
板、
22 : n型ウェル領
域、
23 : p型ウェル領
域、
24 : 素子分離絶縁
膜、
25, 25SSL, 25GSL : ゲート絶縁膜、
26, 26SSL, 26GSL : 電荷蓄積層、
27(WL0), ... 27(WL15) : コントロ
ールゲート線（データ選択線）、
27(SSL), 27(GSL) : セレクトゲート

線（ブロック選択線）、

28, 28a, 28d

: n型拡散層、

28A, 37, 46

: 層間絶縁膜、

31a, 31d, 32a

: コンタクトブラ

グ、

33a

: 中間層、

33(SL)

: ソース線、

36(BL)

: ビット線（デー

タ転送線）、

10 40, 40SSL, 40GSL

: ブロック絶縁

膜、

41, 41SSL, 41GSL

: 導電性ポリシリ

コン層、

43

: 側壁絶縁膜、

46

: ワード線ドライ

バ、

47

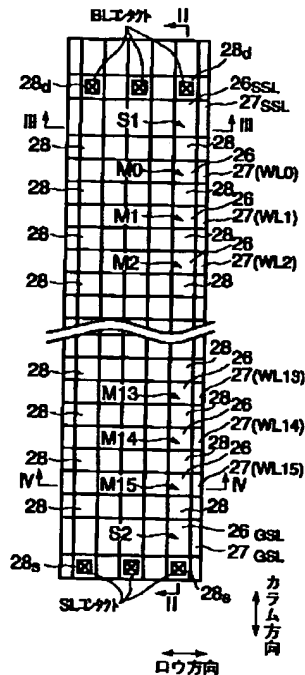
: ロウデコーダ、

48

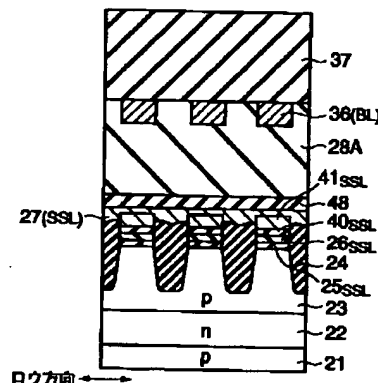
: キャップ絶縁

膜。

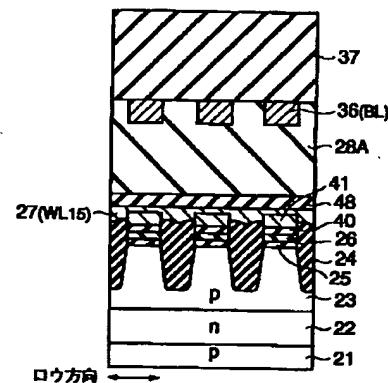
【図1】



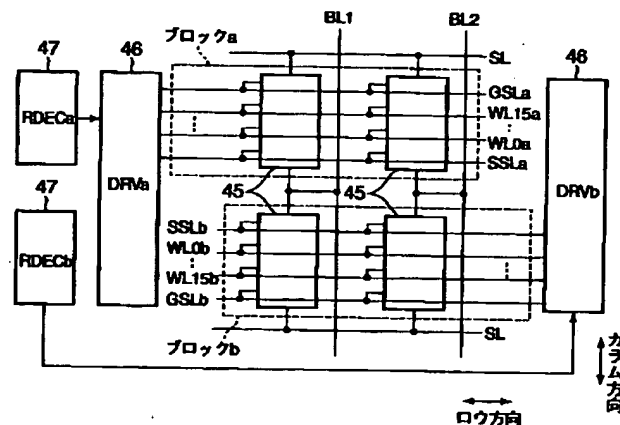
【図3】



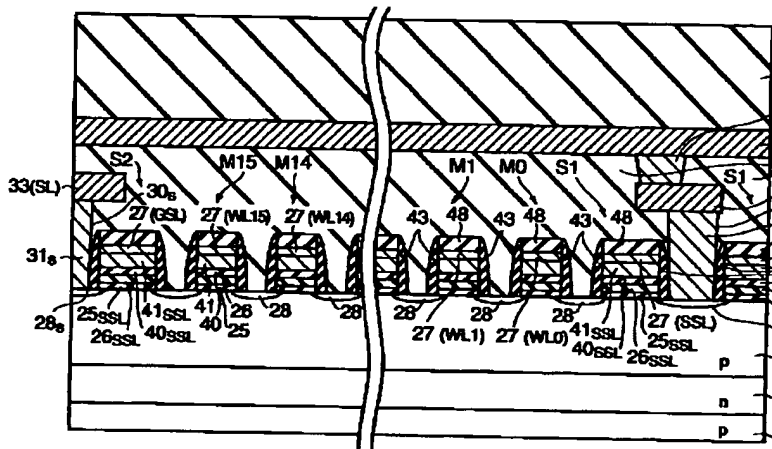
【図4】



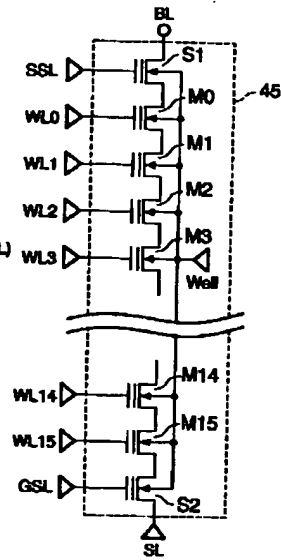
【図6】



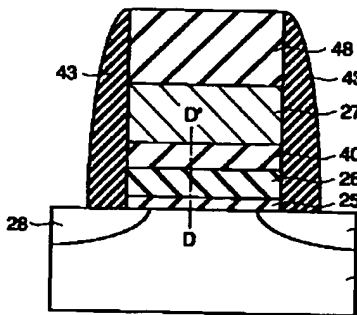
【図2】



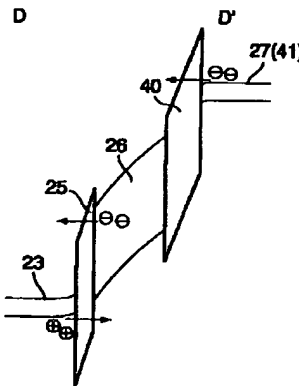
【図5】



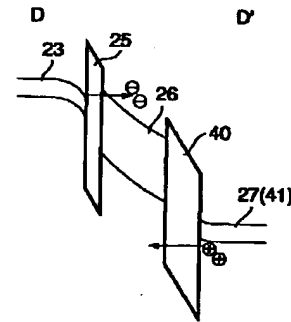
【図7】



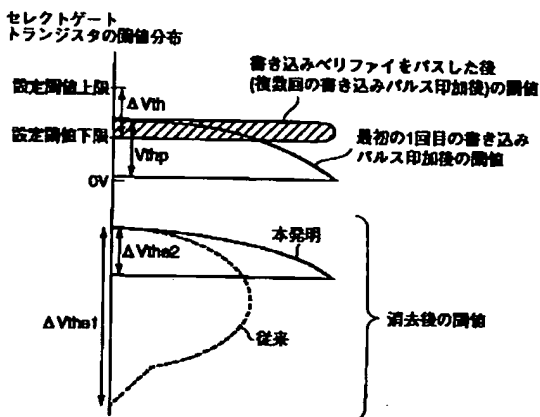
【図8】



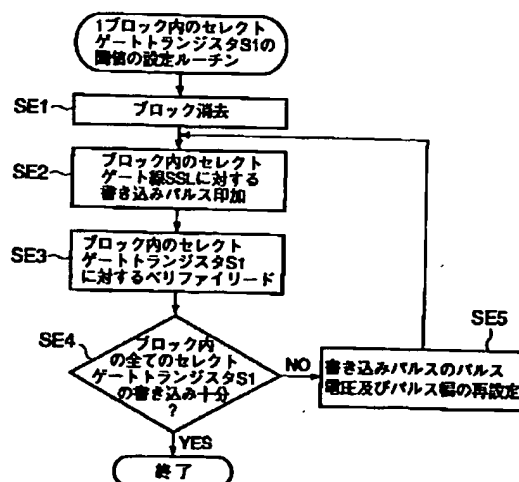
【図9】



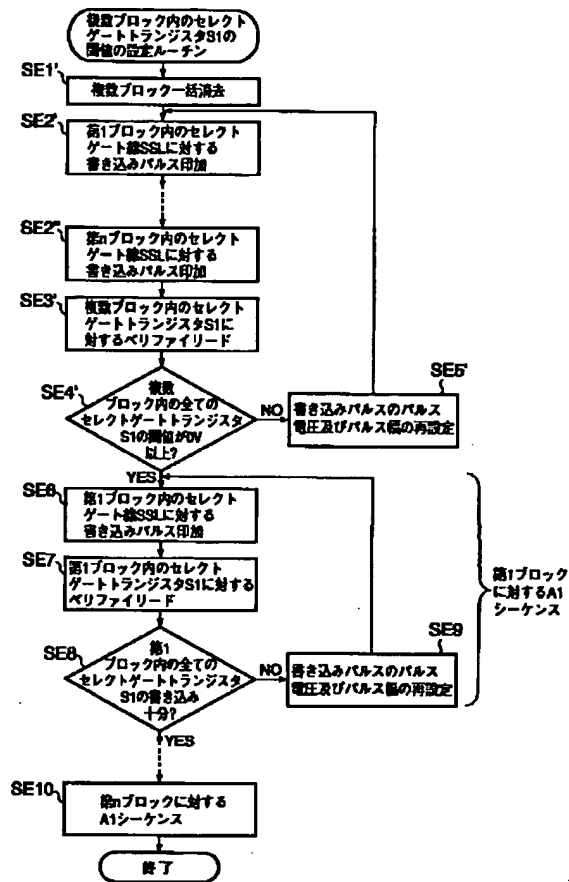
【図10】



【図11】

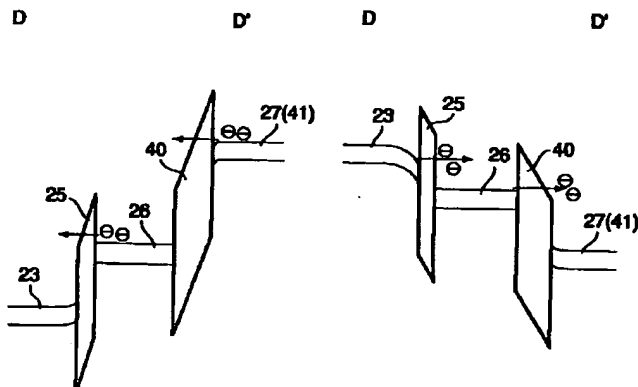


【図12】

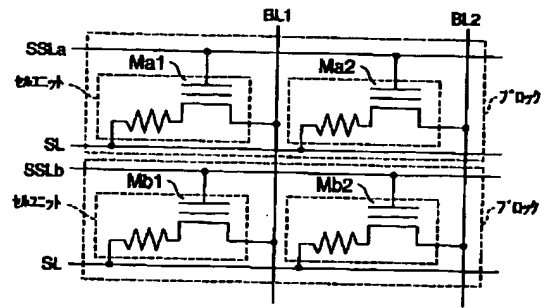


【図14】

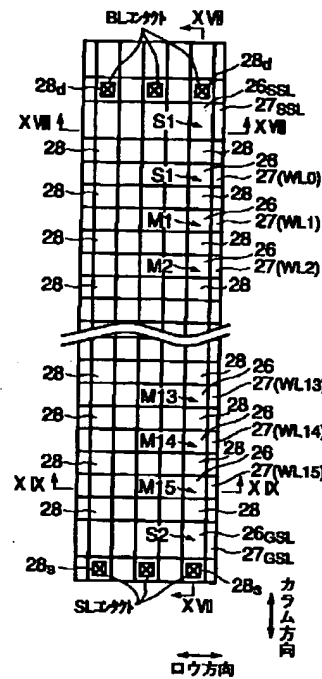
【図15】



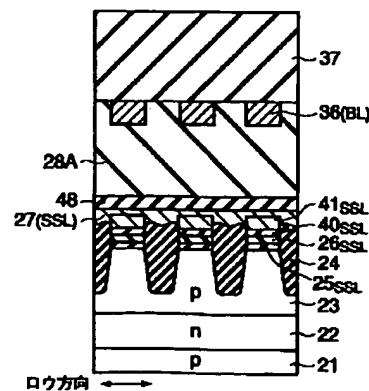
【図13】



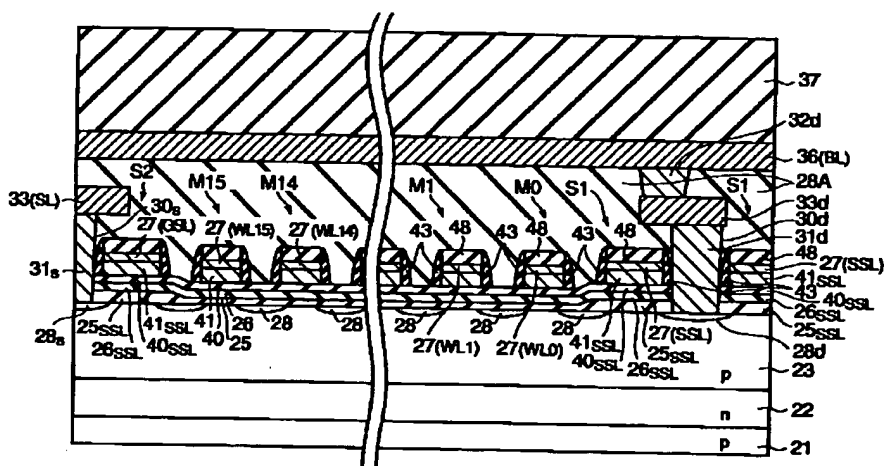
【図16】



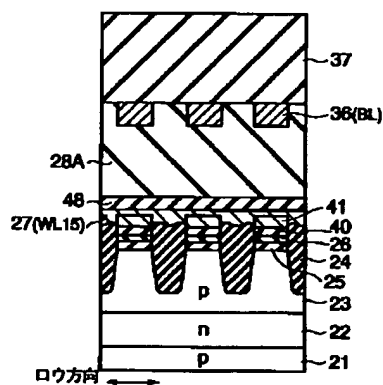
【図18】



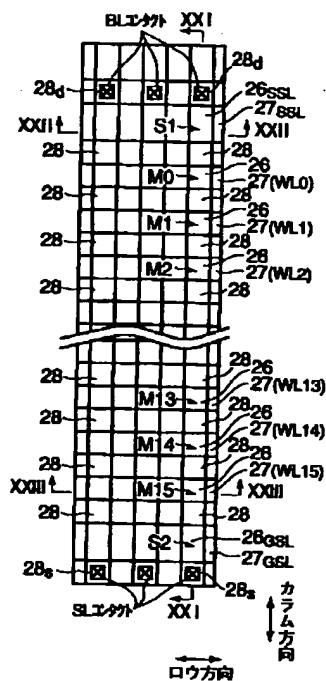
【図17】



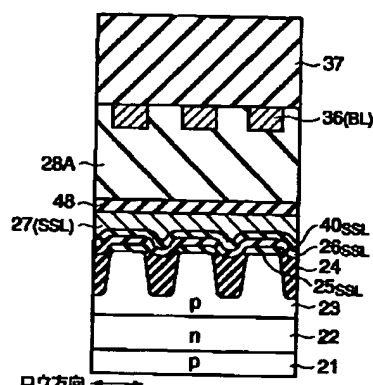
【図19】



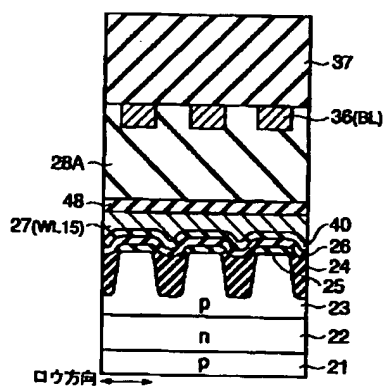
【図20】



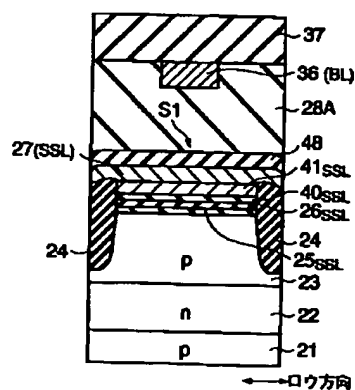
【図22】



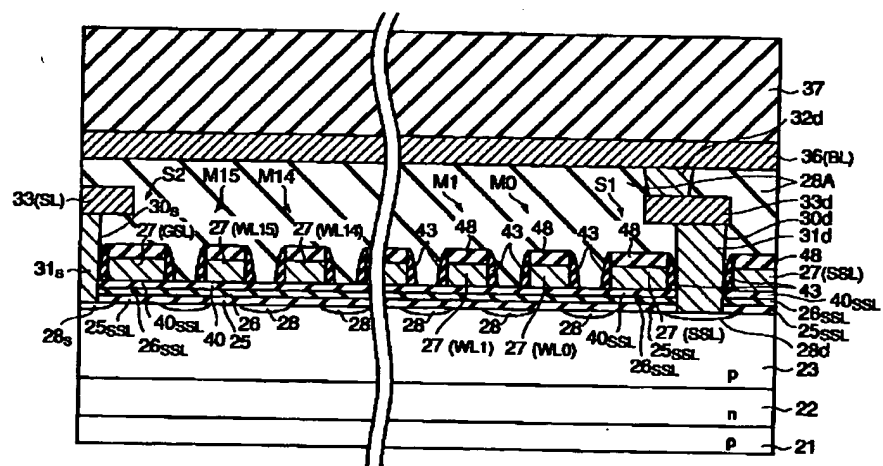
【図23】



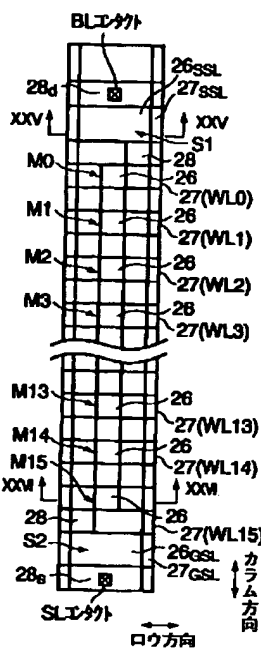
【図25】



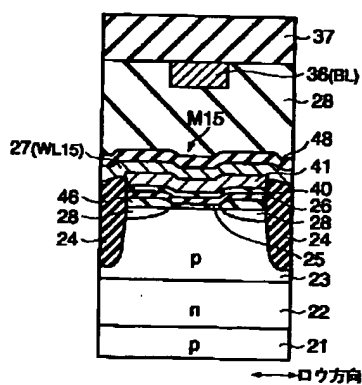
【図21】



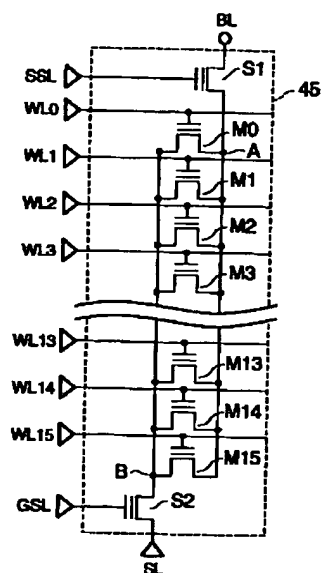
【图24】



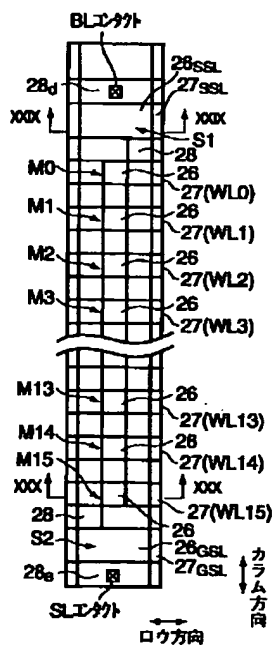
【图26】



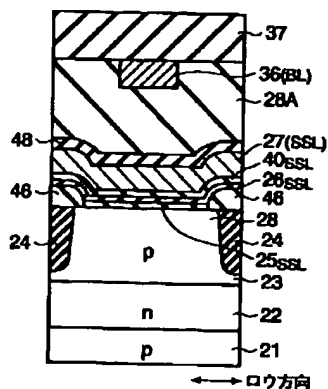
【図27】



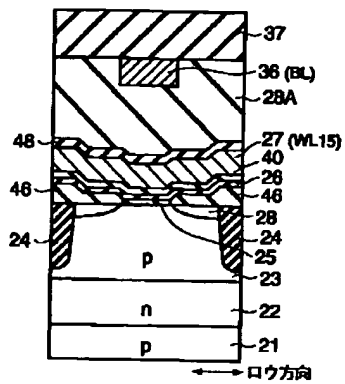
【图28】



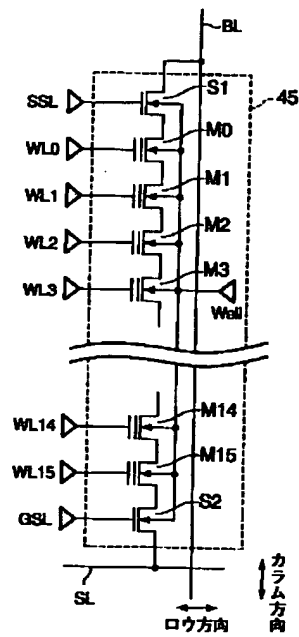
【図29】



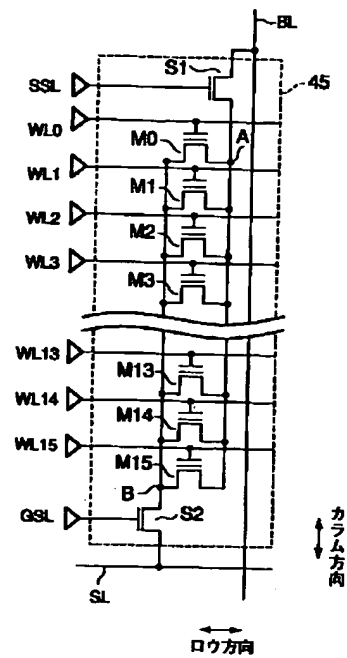
【図30】



【図31】



【図32】



フロントページの続き

Fターム(参考) 5F001 AA13 AB08 AC06

5F083 EP23 EP42 ER09 ER19 GA05

GA09 GA21 JA35 JA36 JA39

JA40 MA06 MA20 NA01 NA08

PR03 PR36 PR39 PR40